

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-272233

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁵
G 0 9 G 3/30
G 0 2 F 1/136
G 0 9 G 3/20
H 0 1 L 29/786

識別記号

5 0 0

6 2 4

F I

G 0 9 G 3/30

G 0 2 F 1/136

G 0 9 G 3/20

H 0 1 L 29/78

J

5 0 0

6 2 4 B

6 1 4

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平10-69147

(22) 出願日 平成10年(1998)3月18日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 木村 睦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

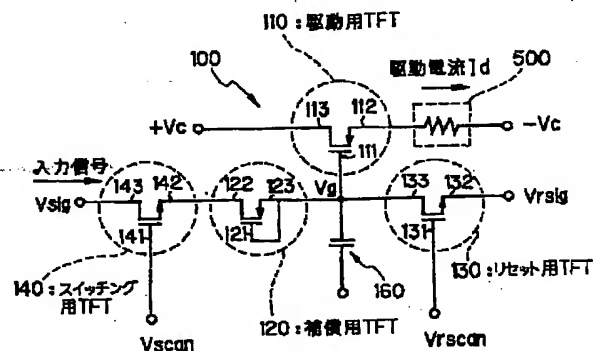
最終頁に続く

(54) 【発明の名称】 トランジスタ回路、表示パネル及び電子機器

(57) 【要約】

【課題】 入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路において、比較的低電圧の入力信号により制御可能とし、且つ駆動用トランジスタのしきい値特性のばらつきを補償する。

【解決手段】 トランジスタ回路(100)は、ゲートに供給される入力信号の電圧に応じてソース及びドレイン間のコンダクタンスが制御される駆動用トランジスタ(110)と、ゲートがソース及びドレインの一方に接続されており、該ソース及びドレインを介して入力信号が駆動用トランジスタのゲートに供給されるように接続された補償用トランジスタ(120)とを備える。



【特許請求の範囲】

【請求項1】 第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスが制御される駆動用トランジスタと、

第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるように且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とするトランジスタ回路。

【請求項2】 前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする請求項1に記載のトランジスタ回路。

【請求項3】 前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されたことを特徴とする請求項2に記載のトランジスタ回路。

【請求項4】 前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする請求項2又は3に記載のトランジスタ回路。

【請求項5】 前記駆動用トランジスタと前記補償用トランジスタとは、同一型のトランジスタであることを特徴とする請求項1から4のいずれか一項に記載のトランジスタ回路。

【請求項6】 第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする請求項1から5のいずれか一項に記載のトランジスタ回路。

【請求項7】 前記第1ゲートに接続された保持容量を更に備えたことを特徴とする請求項1から6のいずれか一項に記載のトランジスタ回路。

【請求項8】 前記トランジスタは夫々、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする請求項1から7のいずれか一項に記載のトランジスタ回路。

【請求項9】 前記トランジスタは夫々、前記ゲート、

ソース及びドレインがベース、エミッタ及びコレクタに夫々対応するバイポーラトランジスタから構成されていることを特徴とする請求項1から7のいずれか一項に記載のトランジスタ回路。

【請求項10】 前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする請求項1から9のいずれか一項に記載のトランジスタ回路。

【請求項11】 請求項10に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が前記電流制御型素子として該複数の画素部に夫々設けられたことを特徴とする表示パネル。

【請求項12】 請求項11に記載の表示パネルを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ（以下TFTと称す）、電界効果型トランジスタ、バイポーラトランジスタなどのトランジスタを複数備えて構成されるトランジスタ回路の技術分野に属し、特にゲートに供給される電圧に応じてソース及びドレイン間のコンダクタンスを制御することにより、該ソース及びドレインを介して電流制御型（電流駆動型）素子等の被駆動素子に供給される駆動電流を制御する駆動用トランジスタを備えて構成されるトランジスタ回路の技術分野に属する。

【0002】

【従来の技術】 一般に、トランジスタには、半導体膜の膜質、膜厚、不純物濃度や拡散領域、ゲート絶縁膜等の膜質、膜厚、動作温度などの各種条件に応じて、その電圧電流特性やしきい値には大なり小なりばらつきが生じる。クリスタルシリコンを用いたバイポーラトランジスタの場合には、このようなしきい値のばらつきは比較的小さいが、TFTの場合には、このようなばらつきは大きいのが通常である。特に、液晶パネル、ELパネル等の表示パネルなどにおいてTFTアレイ基板上で広範囲に渡って多数形成されるTFTの場合には、このような電圧電流特性やしきい値のばらつきが非常に大きくなることが多い。例えば、この種のTFTのしきい値を2V（ボルト）程度（Nチャネルで+2V、Pチャネルで-2V）となるように製造しても、そのばらつきは±数V程度になったりする。

【0003】 ここで、所謂TFT液晶パネル等の場合のように液晶等からなる画素部を電圧制御する電圧制御（電圧駆動）方式の場合には、各画素部に設けられた駆

3
 動用TFTにおける電圧電流特性やしきい値のばらつきが問題となることは比較的少ない。即ちこの場合には、たとえTFTの電流電圧特性やしきい値に多少のばらつきがあったとしても、十分なスイッチング時間さえ与えれば、外部からTFTを介して各画素部に供給する電圧の精度を高めることにより、各画素部における表示濃度や明るさを精度良く制御できるからである。従って、各画素部での表示濃度や明るさのむらが重要視される表示用のTFT液晶パネル等においても、電流電圧特性やしきい値のばらつきが比較的大きいTFTを用いて、高品位の画像表示等を行える。

【0004】他方で近年、電流供給量に応じて明るさが変化するように自発光する有機EL等の電流制御型発光素子を画素部に備えた表示パネルが開発されており、バックライトや反射光を利用せずに画像表示が可能であり、消費電力が低く、しかも視野角依存性が少なく、また時には可塑性を実現する表示パネルとして注目されている。このELパネルの場合にも、アクティブマトリクス駆動を行うためには、各画素部において駆動用TFTが用いられる。例えば、駆動用TFTのドレインが正孔注入用電極を介してEL素子に接続され、ゲートに印加されるデータ信号の電圧に応じて、ソースに接続された電源配線からEL素子に供給される駆動電流を制御する(変化させる)ように構成されている。このように駆動用TFTを用いれば、入力信号の電圧変化に応じてソース及びドレイン間のコンダクタンスを制御することによりEL素子を通る駆動電流を制御して、各画素部での明るさ(輝度)を変化させることが可能となり、画像表示等を行える。

【0005】

【発明が解決しようとする課題】しかしながら、特に上述したELパネル等のように電流制御型素子の場合には、各画素部に設けられた駆動用TFTにおける電圧電流特性やしきい値のばらつきが問題となる。即ち、この場合には、外部から駆動用TFTに供給されるデータ信号の電圧精度を幾ら高めたとしても、駆動用TFTにおける電圧電流特性やしきい値のばらつきがデータ信号に対する駆動電流のばらつきとしてそのまま現われるため、駆動電流の精度が低下してしまう。この結果、各画素部における明るさも駆動用TFTのしきい値のばらつきに従ってばらついてしまうのである。そして、特に現在の低温ポリシリコンTFTの製造技術ではこのような電圧電流特性やしきい値のばらつきは、かなりの度合いで発生するため、この問題は実用上非常に大きい。

【0006】この問題に対して、電圧電流特性やしきい値のばらつきを低減するように各TFTを製造しようとすれば、歩留まりの低下を招き、特に表示パネルのように多数のTFTを用いて構成する装置においては極端な歩留まりの低下を招いてしまい、低コスト化という一般的な要請に反する。或いは、そのようなばらつきを低減す

るようなTFTを製造することは不可能に近い。また、各TFTにおける電流電圧特性やしきい値のばらつきを補償する回路を別途設けようとしても、やはり装置の複雑化や大型化更には消費電力の増加を招き、特に多数のTFTが高密度で配列された表示パネルにおいては、再び歩留まりの低下を招き、或いは近時の低消費電力化や装置の小型軽量化という要請に答えることが困難になることが予想される。

【0007】本発明は上述した問題点を鑑みなされたものであり、入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路であって、比較的低電圧の入力信号により当該コンダクタンス制御が可能であり、しかも駆動用トランジスタの電流電圧特性やしきい値特性のばらつきを、比較的少ない数のトランジスタを用いて比較的小さな電力消費により補償することが可能なトランジスタ回路、並びにこれを用いた表示パネル及び電子機器を提供することを課題とする。

【0008】

【課題を解決するための手段】請求項1に記載のトランジスタ回路は上記課題を解決するために、第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスが制御される駆動用トランジスタと、第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるように且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とする。

【0009】請求項1に記載のトランジスタ回路によれば、補償用トランジスタの第2ソース及び第2ドレインの一方が駆動用トランジスタの第1ゲートに接続されており、これらの第2ソース及び第2ドレインを介して、駆動用トランジスタの第1ゲートには入力信号が供給される。そして、駆動用トランジスタにおいて、この第1ゲートに供給される入力信号の電圧に応じて、第1ソース及び第1ドレイン間のコンダクタンスが制御される。ここで、補償用トランジスタは、第2ゲートが第2ドレインに接続されており、第1ゲートに対し第1ソース及び第1ドレイン間のコンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続されている。即ち、補償用トランジスタは、ダイオード特性を有しており、例えば、駆動用トランジスタがNチャネル型であれば、その第1ゲートから入力信号源への向きにのみ通電可能である。或いは、駆動用トランジスタがPチャネル型であれば、入力信号源から第1ゲートへの向きに通電可能である。

(4)

5

【0010】このため、当該トランジスタ回路に入力信号を供給した際には、補償用トランジスタに入力される時点における入力信号の電圧と比較して、第1ゲートのゲート電圧は、補償用トランジスタのしきい値の分だけ駆動用トランジスタのコンダクタンスが高められる側に昇圧されることになる。従って、駆動用トランジスタにおいて所望のコンダクタンスを得るためには、当該コンダクタンスに対応するゲート電圧よりも補償用トランジスタのしきい値（電圧）の分だけ低い電圧の入力信号を補償用トランジスタを介して供給すればよいことになる。このように、補償用トランジスタのしきい値（電圧）の分だけ入力信号に対するゲート電圧を昇圧できるので、補償用トランジスタがない場合と比較して、より低い入力信号の電圧により同等のコンダクタンス制御を行うことが可能となる。

【0011】一般に、この入力信号は他の信号に比較して高周波数であることが多く、より低い入力信号でよいとなれば、かなりの低消費電力化が期待できる。

【0012】更に、このように補償用トランジスタにより入力信号の電圧を昇圧して第1ゲートにおけるゲート電圧とすることは、トランジスタ回路全体として見た場合、駆動用トランジスタにおいてコンダクタンス制御されるソース及びドレインを介して流れる駆動電流に対する入力信号のしきい値は、駆動用トランジスタのしきい値電圧から、入力電圧からゲート電圧への昇圧分である補償用トランジスタのしきい値電圧だけ低くなっている。即ち、駆動電流に対する入力電圧のしきい値中では、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは、相殺された形となっている。従って、両者のしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値を零に近付けることが可能となる。

【0013】更にまた、このように駆動用トランジスタのしきい値と補償用トランジスタのしきい値とを当該トランジスタ回路全体の中で相殺させることにより、駆動用トランジスタのしきい値の大小によらずにトランジスタ回路全体としての入力信号のしきい値を一定の値（ゼロ）に近付けることができる。即ち、複数のしきい値の異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、各トランジスタ回路における駆動用トランジスタと補償用トランジスタのしきい値を夫々相互に近付ければ（理想的には両者を一致させれば）、各トランジスタ回路間におけるしきい値の差は、各駆動用トランジスタのしきい値の差よりも小さくなっている（理想的には差が殆どなくなっている）。従って、当該トランジスタ回路を複数作成する際に、複数のしきい値の異なる複数の駆動用トランジスタを用いたとしても、しきい値のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることが可能となる。

【0014】請求項2に記載のトランジスタ回路は、上

述した請求項1に記載のトランジスタ回路において、前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする。

【0015】請求項2に記載のトランジスタ回路によれば、駆動用トランジスタの第1ゲートに入力信号が供給される以前に（或いは、一の入力信号が供給された後に、次の入力信号が供給される以前に）、リセット手段によりこの第1ゲートに、入力信号に応じて制御される駆動用トランジスタのコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号が供給される。この結果、入力信号の電圧値の大小によらずに駆動用トランジスタのゲート電圧をリセット手段により一定値とすることができ、しかも、リセット後に、コンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続された補償用トランジスタを介して入力信号を第1ゲートに供給することが可能となる。

【0016】請求項3に記載のトランジスタ回路は、上述した請求項2又は3に記載のトランジスタ回路において、前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されたことを特徴とする。

【0017】請求項3に記載のトランジスタ回路によれば、リセット手段により駆動用トランジスタの第1ゲートに、入力信号よりも大きい電圧のリセット信号が供給される。しかも、このリセット信号の電圧は、入力信号の最大電圧よりも補償用トランジスタのしきい値電圧分以上大きく設定されているので、リセット後に入力信号が入力されると、入力信号の電圧の大小や駆動用トランジスタのしきい値の大小によらずに常に、その入力信号の電圧よりも駆動用トランジスタのしきい値電圧分だけ高い電圧を、補償用トランジスタを介して駆動用トランジスタの第1ゲートに供給することが出来る。

【0018】請求項4に記載のトランジスタ回路は、上述した請求項2に記載のトランジスタ回路において、前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする。

【0019】請求項4に記載のトランジスタ回路によれば、リセット用トランジスタの第3ゲートにリセットタイミング信号が供給されると、該リセット用トランジスタにより、その第3ソース及び第3ドレインを介して、リセット信号が駆動用トランジスタの第1ゲートに供給

される。この結果、駆動用トランジスタのゲート電圧をリセットタイミング信号の供給タイミングで一定値にリセットすることができる。従って、この後の、請求項2又は3記載のトランジスタ回路に対して説明した動作が可能となる。

【0020】請求項5に記載のトランジスタ回路は、上述した請求項1から4のいずれか一項に記載のトランジスタ回路において、前記駆動用トランジスタと前記補償用トランジスタとは、同一型のトランジスタであることを特徴とする。

【0021】請求項5に記載のトランジスタ回路によれば、駆動用トランジスタと補償用トランジスタとは、同一型のトランジスタであるが、ここに、「同一型」とは、駆動用トランジスタがNチャネル型であれば、補償用トランジスタもNチャネル型であり、駆動用トランジスタがPチャネル型であれば、補償用トランジスタもPチャネル型である意である。従って、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは相互にほぼ等しくなるため、当該トランジスタ回路内において、これららのしきい値は相殺しあい、この結果、駆動電流に対する入力信号のしきい値をほぼ零としてコンダクタンス制御を行うことも可能となる。更に、複数のトランジスタ回路を、しきい値のばらついた複数の駆動用トランジスタから構成した場合にも、しきい値のばらつきを補償することも可能となる。

【0022】また、トランジスタのチャネル幅、チャネル長を始めとする設計値、デバイス構造、プロセス条件等も、駆動用トランジスタと補償用トランジスタとで等しくすることにより、より完全な補償が可能となる。

【0023】請求項6に記載のトランジスタ回路は、上述した請求項1から5のいずれか一項に記載のトランジスタ回路において、第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする。

【0024】請求項6に記載のトランジスタ回路によれば、スイッチングタイミング信号がスイッチング用トランジスタの第4ゲートに供給されると、入力信号が、該スイッチング用トランジスタの第4ソース及び第4ドレインを介して補償用トランジスタに供給される。この結果、スイッチングタイミング信号の供給タイミングで入力信号を駆動用トランジスタに供給することができる。

【0025】請求項7に記載のトランジスタ回路は、上述した請求項1から6のいずれか一項に記載のトランジスタ回路において、前記第1ゲートに接続された保持容量を更に備えたことを特徴とする。

【0026】請求項7に記載のトランジスタ回路によれば、第1ゲートに入力信号が供給されるとその電圧は、

該1ゲートに接続された保持容量により保持される。従って、入力信号を一定期間だけ供給した場合にも、それよりも長い期間に亘って第1ゲートにかかる電圧を保持することが可能となる。

【0027】本構成では、補償用トランジスタを通じて、スイッチング用トランジスタにリーク電流がある場合でも、第1ゲートに印加される電位の変化を低減することが可能となる。

【0028】請求項8に記載のトランジスタ回路は、上述した請求項1から7のいずれか一項に記載のトランジスタ回路において、前記トランジスタは夫々、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする。

【0029】請求項8に記載のトランジスタ回路によれば、同一基板上に形成された駆動用薄膜トランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用薄膜トランジスタにより補償することが出来る。特に、両薄膜トランジスタを同一基板上に同一薄膜形成工程で形成すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を同一基板上で得ることが可能となる。

【0030】請求項9に記載のトランジスタ回路は、上述した請求項1から7のいずれか一項に記載のトランジスタ回路において、前記トランジスタは夫々、前記ゲート、ソース及びドレインがベース、コレクタ及びエミッタに夫々対応するバイポーラトランジスタから構成されている。

【0031】請求項9に記載のトランジスタ回路によれば、駆動用バイポーラトランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用バイポーラトランジスタにより補償することが出来る。特に、両バイポーラトランジスタを同一製造工程で製造すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を得ることが可能となる。

【0032】請求項10に記載のトランジスタ回路は、上述した請求項1から9のいずれか一項に記載のトランジスタ回路において、前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする。

【0033】請求項10に記載のトランジスタ回路によれば、入力信号源により電圧が制御される電圧信号が、入力信号として補償用トランジスタを介して供給されると、駆動用トランジスタにおいて、この電圧信号の電圧変化に応じて第1ソース及び第1ドレイン間のコンダクタンスが制御される。これにより、第1ソース及び第1

(6)

9

ドレインの一方に接続された電流制御型素子は、電流制御される。従って、電流制御型素子を比較的低電圧の入力信号で電流駆動することが可能となり、しかも、複数の駆動用トランジスタ間における電流電圧特性やしきいの値特性のばらつきによらずに、複数の電流駆動型素子を電圧信号の電圧に応じて精度良く電流制御することも可能となる。

【0034】請求項11に記載の表示パネルは、上述した請求項10に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が前記電流制御型素子として該複数の画素部に夫々設けられたことを特徴とする。

【0035】請求項11に記載の表示パネルによれば、各画素部において、入力信号が補償用トランジスタを介して供給されると、駆動用トランジスタによりこの入力信号の電圧に応じて電流制御型発光素子は電流制御されるので、駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、電流制御型発光素子の明るさ（輝度）を精度良く制御することが出来、表示パネルの画面表示領域の全面に渡って明るさのむらを低減できる。更に、駆動用トランジスタのゲート電圧を補償用トランジスタにより昇圧することにより比較的低電圧の入力信号により電流制御型発光素子の制御を行うことも可能となる。

【0036】請求項12に記載の電子機器は、上述した請求項11に記載の表示パネルを備えたことを特徴とする。

【0037】請求項12に記載の電子機器によれば、上述した請求項11に記載の表示パネルを備えるので、表示パネルの全面に渡って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な電子機器を実現できる。

【0038】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0039】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0040】（トランジスタ回路）先ず、本発明のトランジスタ回路の実施の形態について図1及び図2を参照して説明する。図1は、本実施の形態におけるトランジスタ回路の回路図であり、図2（A）及び（B）は夫々、該トランジスタ回路における各種信号のタイミング及び電圧を示したタイミングチャートである。

【0041】図1において、トランジスタ回路100は、駆動用TFT110（Pチャネル型）、補償用TFT120（Pチャネル型）、リセット用TFT130（Nチャネル型）及びスイッチング用TFT140（Nチャネル型）を備えて構成されている。以下各トランジスタの構成について順に説明する。

【0042】先ず、駆動用トランジスタの一例を構成す

る駆動用TFT110は、スイッチング用TFT140及び補償用TFT120を介して供給される入力信号に基づいてゲート111に印加されるゲート電圧Vgに応じて、ソース112及びドレイン113間のコンダクタンスが制御されるように構成されている。

【0043】補償用トランジスタの一例を構成する補償用TFT120は、ゲート121がソース122及びドレイン123の一方（図1では、ドレイン123）に接続されている。即ち、補償用TFT120は所謂ダイオード接続されている。そして、補償用トランジスタ120は、ソース122及びドレイン123を介して、入力信号がゲート111に供給されるように且つゲート111に対しコンダクタンスを低める方向の電荷移動を可能とする向きで（図1では、ドレイン123の側が）ゲート111に接続されている。

【0044】リセット手段の一例を構成するリセット用TFT130は、ソース132及びドレイン133の一方（図1では、ドレイン133）がゲート111に接続されており、ゲート131にリセットタイミング信号の一例としての電圧Vrscanのリセット走査信号（以下、一例としての電圧Vrscanと称す）が入力信号Vsigの供給前に供給された時に、ソース132及びドレイン133を介して電圧Vrscanのリセット信号（以下、リセット信号Vrsigと称す）をゲート111に供給するように構成されている。

【0045】また、スイッチングトランジスタの一例を構成するスイッチング用TFT140は、ゲート141にスイッチングタイミング信号の一例としての電圧Vscanの走査信号（以下、走査信号Vscanと称す）が供給された時に、電圧Vsigの入力信号（以下、入力信号Vsigと称す）をソース142及びドレイン143を介して補償用TFT120に供給するように入力信号源及び補償用TFT120の間に接続されている。

【0046】そして、駆動用トランジスタ110のソース112には、EL素子等の電流制御型（電流駆動型）素子500の一端が接続されており、この電流制御型素子500の他端には、所定電位の負電源-Vcが接続されている。また、駆動用トランジスタ110のドレイン113には、所定電位の正電源+Vcが接続されている。従って、駆動用トランジスタ110においてソース112及びドレイン113間のコンダクタンス制御が行われると、電流制御型素子500を流れる駆動電流Idが制御される（即ち、コンダクタンス変化に応じて駆動電流Idが変化する）。

【0047】更に、駆動用トランジスタ110のゲート111には、保持容量160が接続されている。このため、一旦印加されたゲート電圧Vgは、保持容量160により保持される。

【0048】次に、以上のように構成されたトランジスタ回路100の動作について図1と共に図2及び図3を

参照して説明する。

【0049】図2(A)に示すように、リセット走査信号V_{rscan}がリセット用TFT130に入力されると、リセット用TFT130が導通状態とされて、駆動用TFT110のゲート111には、リセット信号V_{rsig}が供給されて、ゲート111のゲート電圧V_gは、このリセット信号V_{rsig}の電圧V_{rsig}にほぼ等しいレベルとされる。この結果、入力信号V_{sig}の電圧V_{sig}の大小によらずに駆動用TFT110のゲート電圧V_gをリセット走査信号V_{rsig}の供給タイミングで一定電圧(即ち、電圧V_{rsig})にリセットすることができる。

【0050】そして、このリセット期間が終わり、走査信号V_{scan}がスイッチング用TFT140に供給されると、スイッチング用TFT140が導通状態とされて、駆動用TFT110のゲート111には、補償用TFT120を介してデータ信号V_{sig}が供給される。ここで、本実施の形態では特に補償用TFT120においてゲート121がドレイン123に接続されているため(即ち、ダイオード接続されているため)、負電圧をゲート111に印加することで道通状態とされるPチャネル型TFTである駆動用TFT110におけるゲート電圧V_gは、データ信号V_{sig}の電圧V_{sig}よりも補償用TFT120のしきい値電圧V_{th2}だけ負電圧側に降圧される。そして、このように降圧されたゲート電圧V_gは、走査信号V_{scan}や入力信号V_{sig}の供給停止後も、保持容量160により駆動期間中保持される。

【0051】尚、リセット期間としては、ゲート電圧V_gがリセット信号V_{rsig}の電圧V_{rsig}となる時間だけとれば十分である。このため、駆動期間をリセット期間よりも遙かに長く設定することができ、これにより、リセット期間中に駆動用TFT110がリセット信号V_{rsig}により道通状態とされても、この間に駆動用TFT110のソース112及びドレイン113を介して流れる電流の駆動電流I_dに対する影響を、無視できる程度に小さくできる。

【0052】以上のように本実施の形態によれば、補償用TFT120のしきい値電圧V_{th2}の分だけ入力信号V_{sig}に対するゲート電圧V_gを降圧できるので、補償用TFT120がない場合と比較して、より低い入力信号V_{sig}の電圧V_{sig}を用いて同等のコンダクタンス制御を駆動用TFT110において行うことが可能となる。

【0053】尚、図2(B)は、駆動用TFT110及び補償用TFT120を共にNチャネル型TFTから構成した場合のタイミングチャートであり、この場合には、正電圧をゲート111に印加することで道通状態とされるNチャネル型TFTである駆動用TFT110におけるゲート電圧V_gは、リセット時にリセット信号V_{rsig}の電圧V_{rsig}とされた後、入力信号V_{sig}の電圧V_{sig}よりも補償用TFT120のしきい値電圧V_{th2}だけ正電圧側に昇圧される。

【0054】ここで、補償用TFT120を介することなく駆動用TFT110に入力信号V_{sig}を直接入力したとすると、即ち入力信号V_{sig}の電圧V_{sig}とゲート電圧V_gとが一致する場合には、図3(A)(これは駆動用TFT110がNチャネルの場合である)に示すように、駆動電流I_dは、駆動用TFT110のしきい値電圧V_{th1}から立ち上がる特性を持つ。例えば、このしきい値電圧V_{th1}の設計基準値を2Vとすればしきい値のばらつきは±数V程度となる。そして、駆動用TFT110におけるしきい値電圧V_{th1}のばらつきがそのまま駆動電流I_dのばらつきとして現われる。

【0055】これに対し、本実施の形態では、補償用TFT120を介して駆動用TFT110に入力信号V_{sig}を入力するため、即ち入力信号V_{sig}の電圧V_{sig}を補償用TFT120のしきい値電圧V_{th2}の分だけ昇圧してゲート電圧V_gとする場合には、図3(B)(これは駆動用TFT110及び補償用TFT120が共にNチャネルの場合である)に示すように、補償用TFT120のしきい値電圧V_{th2}と駆動用TFT110のしきい値電圧V_{th1}とが相殺されて、トランジスタ回路100全体に対する入力信号V_{sig}のしきい値電圧V_{th}は零に近付くのである。そして、特に両しきい値電圧V_{th1}とV_{th2}とがほぼ一致する場合には、このしきい値電圧V_{th}は、ほぼ零となる。このように、しきい値電圧V_{th1}とV_{th2}とを一致させることは、例えば同一半導体基板上の近接位置に駆動用TFT110と補償用TFT120とを同型TFTから構成することにより比較的簡単にできる。このように構成すれば、両方のTFTにおける、薄膜形成されるゲート絶縁膜、半導体膜等の膜厚や、チャネル長等の各構成要素の平面形状や、チャネル形成領域、ソース領域、ドレイン領域における不純物濃度や、動作時の温度状態などを容易に一致させることができるので、結局、両方のTFTのしきい値電圧V_{th1}とV_{th2}とを完全に又はほぼ完全に一致させることが出来るのである。尚、しきい値特性を近似させる上では、チャネル長さは同じにする方が良いが、チャネル幅は同じでなくても良い。

【0056】このように本実施の形態によれば、駆動用TFT110と補償用TFT120のしきい値特性や電圧電流特性を近付けることにより(理想的には一致させることにより)、駆動電流I_dに対する入力信号V_{sig}のしきい値電圧V_{th}を零に近付ける(理想的には零に一致させる)ことが可能となる。

【0057】更に、図3(A)及び図3(B)から判るように、複数のトランジスタ回路100を製造する場合には、各駆動用TFT110におけるしきい値電圧V_{th1}が相互にばらついたとしても、このしきい値電圧V_{th1}の大小によらずに、各補償用TFT120の作用により各トランジスタ回路100のしきい値電圧V_{th}は、零に近い値とされる。即ち、しきい値電圧V_{th}が一定の多数

のトランジスタ回路100を製造できることになる。これは、後述のように多数のトランジスタ回路100間におけるしきい値電圧 V_{th} のばらつきが問題となるような表示パネル用等の用途には特に役立つ。そして、各トランジスタ回路100において、相互に近接配置される一対の駆動用TFT110のしきい値電圧 V_{th1} と補償用TFT120のしきい値電圧 V_{th2} とを一致させることは、距離を隔てて別個に配置される二つの駆動用TFT110のしきい値電圧 V_{th1} を一致させることよりも前述のように遥かに容易であるため、このように補償用TFT120により各トランジスタ回路100におけるしきい値電圧 V_{th1} を補償する構成は、複数のトランジスタ回路100相互間のしきい値電圧 V_{th} のばらつきを低減させるためには極めて効果的であると言える。

【0058】以上のように本実施の形態によれば、トランジスタ回路100を複数作成する際に、しきい値電圧 V_{th1} の相異なる複数の駆動用TFT110、即ち設計基準値としてのしきい値電圧（例えば、2.5V）から大きくばらついたしきい値電圧 V_{th1} を夫々持つ複数の駆動用TFT110を用いたとしても、しきい値電圧 V_{th} のばらつきが殆ど又は全くない複数のトランジスタ回路100を得ることが可能となる。このため、電流電圧特性についてTFTに要求される条件が緩くなり、歩留まりの向上及び製造コストの低減を図ることができる。

【0059】尚、図3(A)及び図3(B)から判るように、しきい値電圧 V_{th1} 及び V_{th2} を一致させることにより、各駆動用TFT110におけるコンダクタンス制御を入力信号 V_{sig} の電圧 V_{sig} よりも高いゲート電圧 V_g を用いて行えるという第1の効果、及び複数のトランジスタ回路100間におけるしきい値電圧 V_{th} のばらつきを低減するという第2の効果は、顕著に発揮されるが、各トランジスタ回路100において駆動用TFT110のしきい値電圧 V_{th1} と補償用TFT120のしきい値電圧 V_{th2} とを完全に一致させなくとも、両しきい値電圧は相殺しあう性質をもつので、両しきい値電圧の類似性に応じた程度でこれらの第1及び第2の効果は発揮される。

【0060】本実施の形態では特に、ゲート111に対し入力信号 V_{sig} に応じて制御されるコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号 V_{rsig} を供給するように構成されている。従って、入力信号 V_{sig} の電圧値 V_{sig} の大小によらずにリセット後に、このコンダクタンスを低める方向の電荷移動を可能とする向きでゲート111に接続された補償用TFT120を介して入力信号 V_{sig} をゲート111に供給することが可能となる。しかも本実施の形態では、リセット信号 V_{rsig} は、入力信号 V_{sig} の最大電圧よりも補償用TFT120のしきい値電圧 V_{th2} 分以上大きい電圧に設定されている。従って、リセット後に入力信号 V_{sig} が入力されると、入力信号 V_{sig} の電圧

V_{sig} の大小や補償用TFT120のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧 V_{sig} よりも補償用TFT120のしきい値電圧 V_{th2} 分だけ高い電圧を、ゲート111に供給することが出来るのである。

【0061】尚、従来の液晶表示素子で良く用いられている、入力信号 V_{sig} の反転が行われる場合には、反転した入力信号も含めた全ての入力信号 V_{sig} に対しても、上記のリセット信号 V_{sig} の関係が成り立つことが望ましい。

【0062】このリセット信号 V_{rsig} の電圧設定による効果について図4及び図5を参照して検討を加える。ここで、図4は、しきい値の設計基準値を例えば-2.5Vとしてその基準値からのしきい値電圧のばらつき ΔV_{th} に対する駆動電流 I_d の変化を、(1)補償用TFT120無しで駆動用TFT110に直接入力信号 V_{sig} を供給した場合（特性曲線C1）、(2)リセット信号 V_{rsig} を5Vとして補償用TFT120を介して駆動用TFT110に入力信号 V_{sig} を供給した場合（特性曲線C2）、及び(3)リセット信号 V_{rsig} を0Vとして補償用TFT120を介して駆動用TFT110に入力信号 V_{sig} を供給した場合（特性曲線C3）について夫々示したものである。また、図5(A)は、特性曲線C2に対応するゲート電圧 V_g の変動範囲を示し、図5(B)は、特性曲線C3に対応するゲート電圧 V_g の変動範囲を示す。なお、ここで、 $V_{sig}=7.5V$ 、 $+V_c=10V$ 、 $-V_c=5V$ としている。

【0063】図4において、特性曲線C1で示したように、補償用TFT120無しの場合には、しきい値電圧のばらつき ΔV_{th} が、そのまま駆動電流 I_d のばらつきとして顕著に現われている。

【0064】特性曲線C2で示したように、リセット信号 V_{rsig} を5Vとして補償用TFTを用いた場合には、しきい値電圧のばらつき ΔV_{th} が、プラス側ではかなり補償されているが、マイナス側では、駆動電流 I_d のばらつきとして現われている。これは、図5(A)に示すようにマイナス側では、リセット後に入力信号 V_{sig} が入力されたとき、ゲート電圧 V_g を、入力信号 V_{sig} よりも、しきい値電圧 V_{th2} の分だけ負電圧側に降圧する（補償する）ことができないためである。何故なら、ダイオードである補償用TFT120は、ゲート電圧 V_g をリセット信号 V_{rsig} から入力信号 V_{sig} へ近付けることは出来ても遠ざけることは出来ないからである。

【0065】また、特性曲線C3で示したように、リセット信号 V_{rsig} を0Vとして補償用TFTを用いた場合には、しきい値電圧のばらつき ΔV_{th} が、駆動電流 I_d のばらつきとして殆ど現われていない。これは、図5(B)に示すように、リセット後に入力信号 V_{sig} が入力されたとき、ゲート電圧 V_g を、入力信号 V_{sig} よりも、しきい値電圧 V_{th} の分だけ負電圧側に降圧する（補

償する) ことができるためである。なお、ここで与えた $V_{sig} = 7.5 \text{ V}$ は、入力信号 V_{sig} の最小電位だと考えれば、全ての V_{sig} に対して補償できるかということに対して、上記考察が成り立つ。

【0066】 以上のように本実施の形態では、入力電圧 V_{sig} の大小や補償用 T F T 1 1 0 のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧よりも補償用 T F T 1 2 0 のしきい値電圧 V_{th2} 分だけ低い電圧 V_g を、駆動用 T F T 1 1 0 のゲート 1 1 1 に印加することが出来るのである。

【0067】 尚、図 2 (A) 及び図 2 (B) において、ゲート電圧 V_g は駆動期間中、保持容量 1 6 0 により保持される。このため、保持容量 1 6 0 により、複数のトランジスタ回路 1 0 0 間におけるゲート電圧 V_g の保持特性のばらつきをも低減 (補償) することができる。

【0068】 以上図 1 から図 5 を用いて説明したように、本実施の形態のトランジスタ回路 1 0 0 によれば、E L 素子等の電流制御型素子 5 0 0 を比較的低電圧の入力信号 V_{sig} で電流駆動することが可能となり、しかも、複数の駆動用 T F T 1 1 0 間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流制御型素子 5 0 0 を入力信号 V_{sig} の電圧に応じて精度良く電流制御することができる。

【0069】 尚、図 1 に示した例では、P チャネル型 T F T と N チャネル型 T F T とを混ぜて構成しているが、全ての T F T を N チャネル型 T F T から構成してもよいし、或いは、全ての T F T を P チャネル型 T F T から構成してもよい。但し、駆動用 T F T 1 1 0 の電流電圧特性やしきい値特性を補償用 T F T 1 2 0 で補償する観点からは、これらの駆動用 T F T 1 1 0 及び補償用 T F T 1 2 0 を同一工程により同型の T F T として構成した方が有利である。特に、両 T F T を同一薄膜形成工程で形成すれば、両 T F T 間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが全く又は殆どないトランジスタ回路 1 0 0 を同一基板上で得ることが可能となる。他方、リセット用 T F T 1 3 0 やスイッチング用 T F T 1 4 0 は、駆動用 T F T 1 1 0 が P チャネル型であるか N チャネル型であるかによらず、P チャネル型でも N チャネル型でも構わない。但し、全ての T F T を同型の T F T とした方が製造上有利であることも多い。

【0070】 また、本実施の形態における各種の T F T 1 1 0 ~ 1 4 0 を、接合型、並列・直列接続等のいずれの種類の電界効果トランジスタ (F E T) から構成してもよい。

【0071】 更に、図 6 に示すように、上述の如きトランジスタ回路をバイポーラトランジスタから構成してもよい。この場合、上述のゲート、ソース及びドレインをベース、エミッタ及びコレクタに夫々対応させて、バイポーラトランジスタから駆動用トランジスタ 1 1 0' を

構成すると共にバイポーラトランジスタから補償用トランジスタ 1 2 0' を構成して、トランジスタ回路 1 0 0' とすればよい。一般にバイポーラトランジスタの場合には、しきい値電圧は、例えば 0.7 V を中心として、そのばらつきは T F T と比較すると小さいが、このように構成しても、駆動用トランジスタ 1 1 0' における電流電圧特性やしきい値特性のばらつきが駆動電流 I_d に及ぼす影響を補償用トランジスタ 1 2 0' により補償することが出来る。更に、比較的低電圧で駆動用トランジスタ 1 1 0' による駆動を行うことが出来る。特に、駆動用トランジスタ 1 1 0' と補償用トランジスタ 1 2 0' とを同一製造工程で製造すれば、これら両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが殆ど無い又は低減された多数のトランジスタ回路 1 0 0' を得ることが可能となる。

【0072】 以上の実施の形態における電流制御型素子 5 0 0 としては、有機 E L 素子、無機 E L 素子等の電流制御型発光素子、電流制御型の熱転写素子など各種の素子が挙げられる。

【0073】 (表示パネル) 本発明の表示パネルの実施の形態について図 7 から図 1 0 を参照して説明する。図 7 は、表示パネルの全体構成を示すブロック図であり、図 8 は、表示パネルにおける一つの画素部の平面図であり、図 9 (A)、図 9 (B) 及び図 9 (C) は夫々、その A-A' 断面図、B-B' 断面図及び C-C' 断面図であり、図 1 0 は、相隣接する 4 つの画素部の回路図である。

【0074】 本実施の形態における表示パネルは、上述した本発明のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備えており、該複数の画素部には、電流制御型発光素子の一例として E L 素子 5 0 が夫々設けられて構成されている。

【0075】 図 7 に示すように、表示パネル 2 0 0 は、T F T アレイ基板 1 を有し、該 T F T アレイ基板 1 上において複数の画素部 2 がマトリクス状に配置された画面表示領域には、Y 方向に夫々伸びており X 方向に配列された複数のデータ線 1 1 と、X 方向に夫々伸びており Y 方向に配列された複数の走査線 1 2 と、複数のデータ線 1 1 と平行に並べられた複数の共通給電線 1 3 とを備えている。表示パネル 1 は更に、画面表示領域の周囲に、各データ線 1 1 にデータ信号を供給するデータ線駆動回路 2 1 と、各走査線 1 2 に走査信号を供給する一対の走査線駆動回路 2 2 と、各画素部 2 における道通不良、絶縁不良、素子の欠陥等を検査するための検査回路 2 3 とを備えて構成されている。なお、本実施の形態では、各駆動回路は、T F T アレイ基板 1 上に画素部 2 と共通の工程で形成されているが、T F T アレイ基板 1 上にない回路とされてもよいし、又は画素部 2 と別の工程で形成されてもよい。

【0076】図8に示すように、各画素部2には、図1から図6を用いて説明した駆動用TFT110、補償用TFT120、リセット用TFT130、スイッチング用TFT140及び保持容量160が設けられている。そして、前段の走査線12bが図1におけるリセット走査信号Vrscan用の配線となり、当段の走査線12aが図1における走査信号Vscan用の配線及びリセット信号Vrsig用の配線となり、当段のデータ線11aが図1における入力信号Vsig（データ信号）用の配線となっている。更に、共通給電線13が正電源+Vに接続されており、EL素子50が駆動用TFT110と後述の対向電極との間に接続されており、該対向電極が負電源-Vに接続されている。

【0077】図9（A）に示すように、スイッチング用TFT140、補償用TFT120及び保持容量160は、図8のA-A'断面に沿って、TFTアレ基板1に半導体膜（ポリシリコン膜）4、酸化シリコン膜や窒化シリコン膜からなるゲート絶縁膜5、Ta（タンタル）膜6、酸化シリコン膜や窒化シリコン膜からなる第1層間絶縁膜7及びA1膜8から構成されている。尚、ゲート電極形成用のTa膜6の代わりに、低抵抗ポリシリコン膜を成膜してもよい。

【0078】より具体的には、スイッチング用TFT140は、ポリシリコン膜6からなるゲート141を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート141に対向する半導体層4部分をチャンネル形成領域として、その両側にn型に高濃度ドーパされたソース142及びドレイン143を備えたNチャンネル型のTFTとして構成されている。そして、ソース142は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホールを介してA1膜8からなるデータ線11aに接続されている。また、ドレイン143は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継して、補償用TFT120に接続されている。

【0079】補償用TFT120は、Ta膜6からなるゲート121を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート121に対向する半導体層4部分をチャンネル形成領域として、その両側にp型に高濃度ドーパされたソース122及びドレイン123を備えたPチャンネル型のTFTとして構成されている。そして、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継してスイッチング用TFT140及び保持容量160並びに駆動用TFT110のゲート111に接続されている。

【0080】また、保持容量160は、2重のコンデンサ構成を有するように、半導体膜4、Ta膜6及びA1膜8が、ゲート絶縁膜5及び第1層間絶縁膜7を介して対向配置されて構成されている。そして保持容量を構成する半導体膜4部分は、ゲート絶縁膜5及び第1層間絶

縁膜7に開孔されたコンタクトホールを介してA1膜8に接続されており、保持容量を構成するTa膜6部分は、第1層間絶縁膜7に開孔されたコンタクトホールを介してA1膜8に接続されている。

【0081】図9（B）に示すように、リセット用TFT130は、図8のB-B'断面に沿って、TFTアレ基板1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びA1膜8から構成されている。

【0082】より具体的には、リセット用TFT130は、Ta膜6からなるゲート131を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート131に対向する半導体層4部分をチャンネル形成領域として、その両側にn型に高濃度ドーパされたソース132及びドレイン133を備えたNチャンネル型のTFTとして構成されている。そしてソース132及びドレイン133は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継して、Ta膜6からなる当段の走査線12a及び駆動用TFT110のゲート111に夫々接続されている。

【0083】また、図9（C）に示すように、駆動用TFT110は、図8のC-C'断面に沿って、TFTアレ基板1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びA1膜8から構成されている。そして、第2層間絶縁膜9上には、駆動用TFT110のドレイン113にコンタクトホール及びA1膜8を中継して接続されたITO膜51が形成され、その上にEL素子50が形成されている。他方、駆動用TFT110のソース112は、コンタクトホールを介してA1膜8からなる共通給電線13に接続されている。また、相隣接する画素部2におけるEL素子50は、電気絶縁性のバンク52により相隔てられている。好ましくは、バンク52は遮光性を持つものがよい。バンク52は、例えば、遮光性のレジストからなり、当該表示パネル200の画面表示領域の周囲を覆う周辺見切り領域にもバンク52を設けるようにしてもよい。そして、EL素子50上には、A1等の低抵抗金属或いはITO等からなる対向電極（上電極）56が設けられている。

【0084】図10に示すように、表示パネル200においては特に、共通給電線13によりX方向に相隣接した画素部2の双方に対して正電源+Vが供給される構成を採り、正電源+V供給用の電源配線を単純に画素部2の列毎に設ける場合と比較して、電源配線の数約1/2にしている。また、リセット用TFT130のゲート131に入力されるリセット走査信号Vrscanを前段の走査線12bにより供給し、リセット用TFT130に入力されるリセット信号Vrsigを当段の走査線12bにより供給する構成を採ることにより、リセット走査信号Vrscan専用の配線やリセット信号Vrsig専用の配線を設ける場合と比較して信号配線数を減らしている。このように電源配線数や信号配線数を増やさないようにす

ることにより、従来の表示パネルには設けられていない補償用 TFT 120 やリセット用 TFT 130 を設けるスペースを確保することができる。勿論、本実施の形態と違って、各画素毎に共通給電線を設けて、各画素毎にパターンを同じにしたものや、リセット走査信号 Vrsca n 専用の配線や、リセット信号 Vrsig 専用の配線を設けたものに対しても、本発明の思想は適用できる。

【0085】尚、本実施の形態のように電流駆動型発光素子である EL 素子 50 を用いた表示パネル 200 の場合には、例えば、液晶パネルのように画素の開口領域を増やさなくても、発光素子に供給する電流量を増加させればこれに応じて自発光するが故に、画像表示に必要な明るさを得ることができる。従って、本実施の形態のように、配線の占める領域を節約して各種の TFT を画素部 2 に形成するスペースを確保してもよいし、各 EL 素子 50 の大きさを小さくすることにより各種の TFT を画素部 2 に形成するスペースを確保してもよい。

【0086】次に、本実施の形態の表示パネル 200 の動作について図 7 及び図 10 を参照して説明する。

【0087】走査線駆動回路 22 から前段の走査線 12 b に走査信号 Vscan が供給されると、これが当段のリセット走査信号 Vrsca n として、当段のリセット用 TFT 130 のゲート 131 に入力される。これと並行して、走査線駆動回路 22 から当段の走査線 12 a にリセット信号 Vrsig が供給されて、当段の駆動用 TFT 110 のゲート電圧 Vg は、リセット信号 Vrsig の電位とされる（図 2 (A) 参照）。このとき、リセット信号 Vrsig は、走査信号 Vscan のオフ電位と同一でもかまわない。続いて、走査線駆動回路 22 から当段の走査線 12 a に走査信号 Vscan が供給されると、これが当段のスイッチング用 TFT 140 のゲート 141 に入力される。これと並行して、データ線駆動回路 21 から当段のデータ線 11 a に入力信号 Vsig（データ信号）が供給されて、スイッチング用 TFT 140 及び補償用 TFT 120 を介して、この電圧 Vsig が補償用 TFT 120 のしきい値電圧 Vth2 分だけ降圧されて、当段の駆動用 TFT 110 のゲート 111 に、ゲート電圧 Vg として供給される（図 2 (A) 参照）。この結果、この降圧されたゲート電圧 Vg に応じて、駆動用 TFT 110 のソース 112 及びドレイン 113 間のコンダクタンスが制御されて、正電源 +V 及び負電源 -V の間で、EL 素子 50 を流れる駆動電流 Id が制御される。

【0088】従って、各画素部 2 に設けられた駆動用 TFT 110 におけるしきい値電圧 Vth1 のばらつきが補償用 TFT 120 のしきい値 Vth2 により補償されて、複数の画素部 2 間における駆動電流 Id に対するデータ信号 Vsig のしきい値のばらつきが殆どなくなり、表示パネル 200 の画面表示領域全体にわたって均一の明るさでむらのない画像表示が可能とされる。また、補償用 TFT 120 による降圧作用により比較的小さい電圧の

データ信号 Vsig を用いて駆動電流 Id を制御することも可能とされる。

【0089】以上の実施の形態では、リセット用 TFT 130 によりゲート電圧 Vg を入力信号 Vsig の供給前にリセットしているが、例えば、静止画を表示する期間には、同じ入力信号 Vsig により複数フレームに亘って駆動電流 Id の制御を行えばよいので、係るリセット動作を各走査毎に行う必要はない。また、このように電氣的なリセット信号 Vrsig の代わりに光照射によりゲート電圧 Vg をリセットする（所定のリセット電圧にする）ように構成してもよい。更にまた、リセット用 TFT 130 の代わりにスイッチング用 TFT 140 や補償用 TFT 120 を介してリセット信号 Vrsig を供給するように構成してもよい。他方、アクティブマトリクス駆動の如くスイッチングを行わない用途であれば、スイッチング用 TFT 140 やスイッチング動作が不要なことは言うまでもない。

【0090】（電子機器）次に、以上詳細に説明した表示パネル 200 を備えた電子機器の実施の形態について図 11 から図 13 を参照して説明する。

【0091】先ず図 11 に、このように表示パネル 200 を備えた電子機器の概略構成を示す。

【0092】図 11 において、電子機器は、表示情報出力源 1000、表示情報処理回路 1002、駆動回路 1004、表示パネル 1006、クロック発生回路 1008 並びに電源回路 1010 を備えて構成されている。

【0093】前述した実施の形態における表示パネル 200 は、本実施の形態における表示パネル 1006 及び駆動回路 1004 に相当する。従って、表示パネル 1006 を構成する TFT アレイ基板の上に、駆動回路 1004 を搭載してもよく、更に表示情報処理回路 1002 等を搭載してもよい。或いは、表示パネル 1006 を搭載する TFT アレイ基板に対し駆動回路 1004 を外付けして構成してもよい。

【0094】表示情報出力源 1000 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路 1008 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1002 に出力する。表示情報処理回路 1002 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に駆動回路 1004 に出力する。駆動回路 1004 は、表示パネル 200 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。

【0095】次に図 12 から図 13 に、このように構成された電子機器の具体例を夫々示す。

【0096】図12において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（PC）1200は、上述した表示パネル200がトップカバーケース1206内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0097】また図13に示すように、駆動回路1004や表示情報処理回路1002を搭載しない表示パネル1304の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP（Tape Carrier Package）1320に、TFTアレレイ基板1の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

【0098】以上図12から図13を参照して説明した電子機器の他にも、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（EWS）、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図11に示した電子機器の例として挙げられる。

【0099】以上説明したように、本実施の形態によれば、表示パネルの全面に渡って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な各種の電子機器を実現できる。

【0100】

【発明の効果】本発明のトランジスタ回路によれば、補償用トランジスタのしきい値電圧の分だけ入力信号の電圧に対してゲート電圧を降圧もしくは昇圧できるので、低い入力信号の電圧により駆動用トランジスタにおけるコンダクタンス制御を行うことができる。更に、補償用トランジスタと駆動用トランジスタとのしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値電圧を零に近付けることも可能となる。更にまた、複数のしきい値特性の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、複数のしきい値電圧の異なる複数の駆動用トランジスタ、即ち設計基準値から大きくばらついたしきい値電圧を夫々持つ複数の駆動用トランジスタを用いたとしても、複数のトランジスタ回路におけるしきい値電圧のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることも可能となる。

【0101】本発明の表示パネルによれば、明るさむらが低減された画像表示を低電圧の入力信号を用いて実現できる。

【0102】また、本発明の電子機器によれば、高品位の画像表示が可能な、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

【図面の簡単な説明】

【図1】 トランジスタ回路の一実施の形態における回路図である。

【図2】 図1のトランジスタ回路における各種信号のタイミングチャート（図2（A））、及び図1のトランジスタ回路の変形例における各種信号のタイミングチャート（図2（B））である。

【図3】 駆動用TFTを備えた比較例におけるしきい値特性を示す特性図（図3（A））、及び補償用TFTと駆動用TFTとを備えた本実施の形態におけるしきい値特性を示す特性図（図3（B））である。

【図4】 しきい値のばらつき ΔV_{th} に対する駆動電流 I_d の変化を各種の場合について示す特性図である。

【図5】 本実施の形態においてリセット信号 V_{rsig} を5Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート（図5（A））、及びリセット信号 V_{rsig} を0Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート（図5（B））である。

【図6】 トランジスタ回路の他の実施の形態における回路図である。

【図7】 表示パネルの実施の形態の全体構成を示す平面図である。

【図8】 図7の表示パネルの一画素部の平面図である。

【図9】 図8のA-A'断面図（図9（A））、B-B'断面図（図9（B））及びC-C'断面図（図9（C））である。

【図10】 図7の表示パネルにおける相隣接する4つの画素部の回路図である。

【図11】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図12】 電子機器の一例としてのパーソナルコンピュータを示す正面図である。

【図13】 電子機器の他の例としてのTCPを用いた液晶装置を示す斜視図である。

【符号の説明】

1…TFTアレレイ基板

2…画素部

11…データ線

12…走査線

13…共通給電線

21…データ線駆動回路

22…走査線駆動回路

23…検査回路

50…EL素子

100…トランジスタ回路

110…駆動用TFT

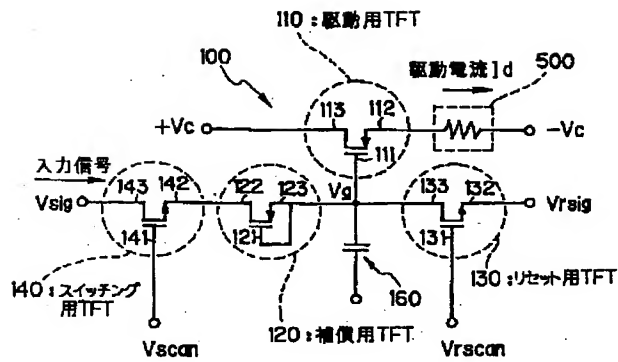
120…補償用TFT

130…リセット用TFT

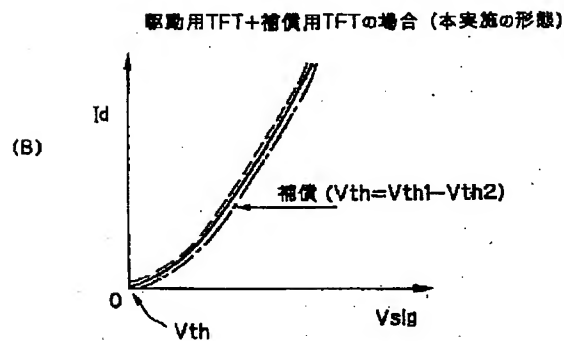
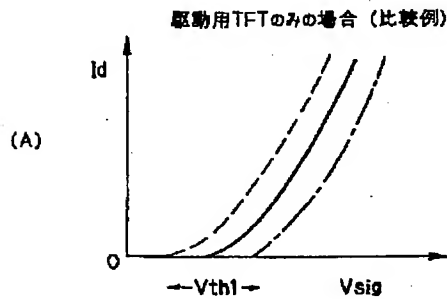
140…スイッチング用TFT

50 160…保持容量

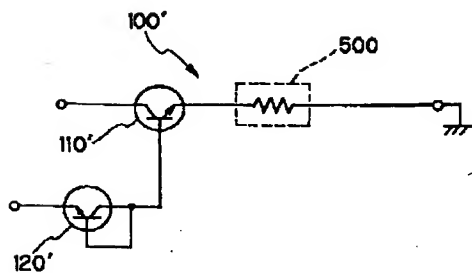
【図1】



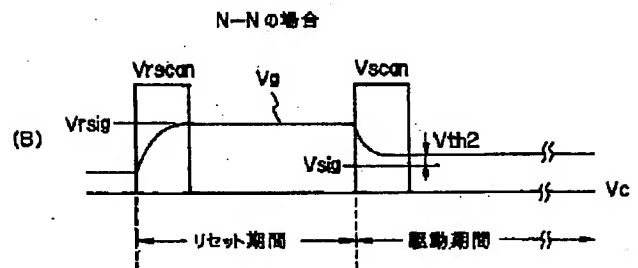
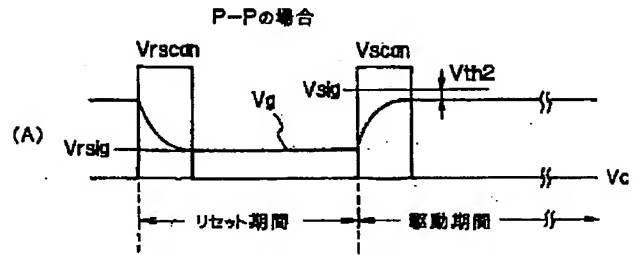
【図3】



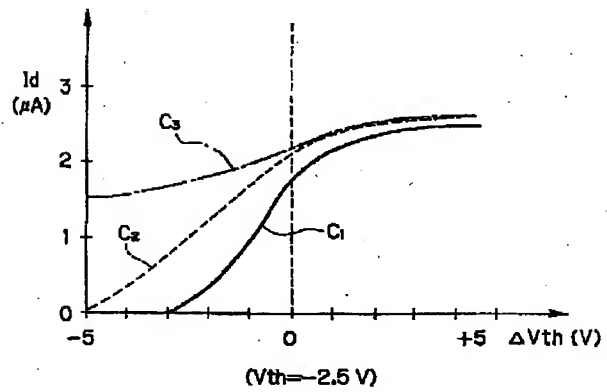
【図6】



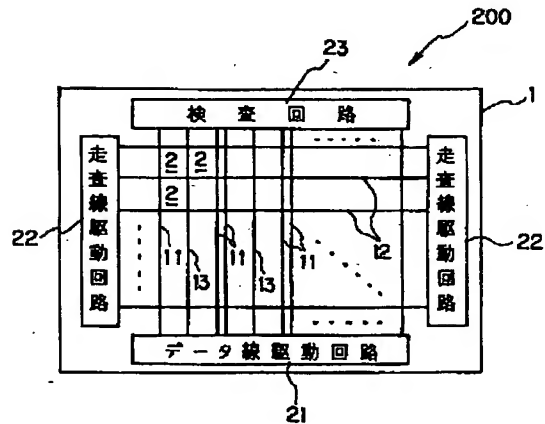
【図2】



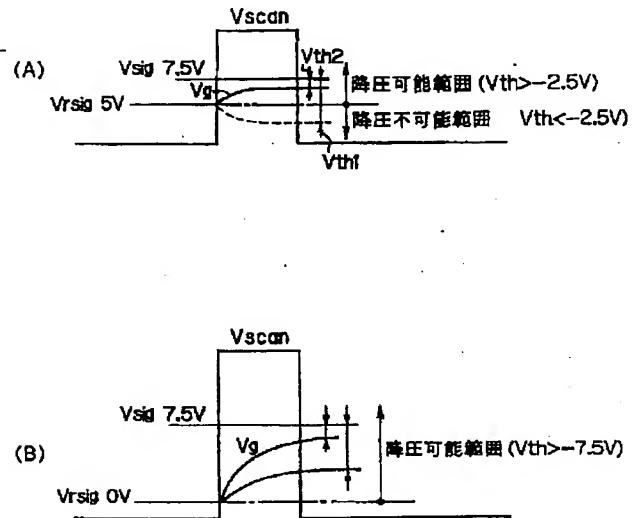
【図4】



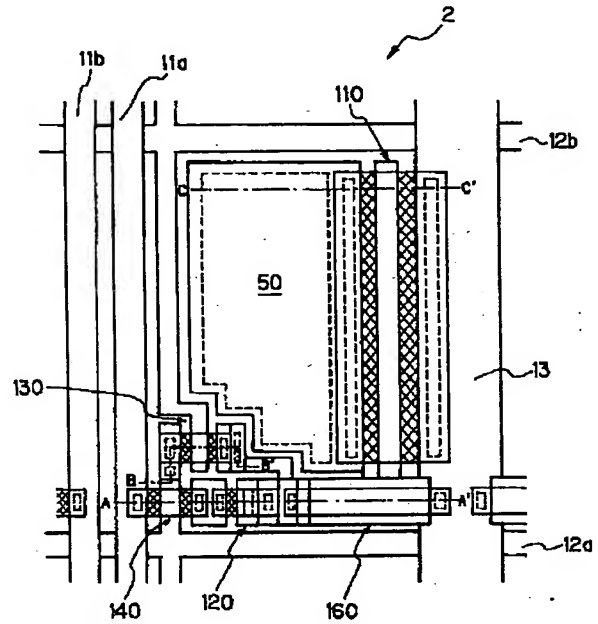
【図7】



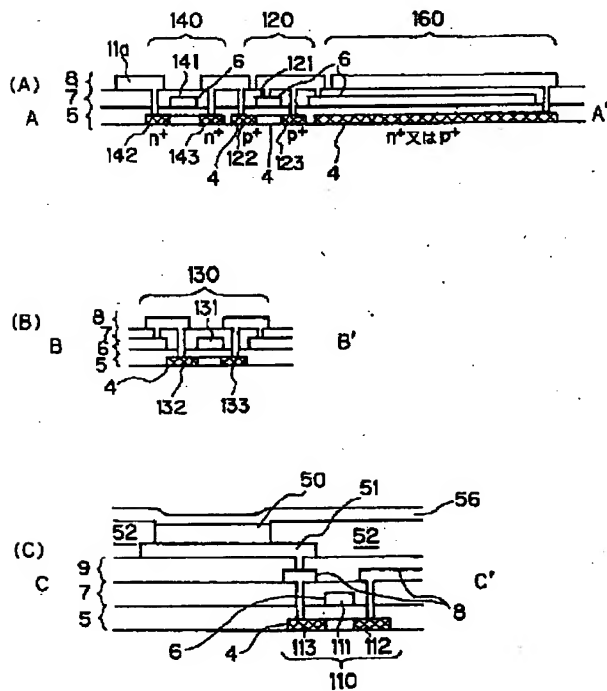
【図5】



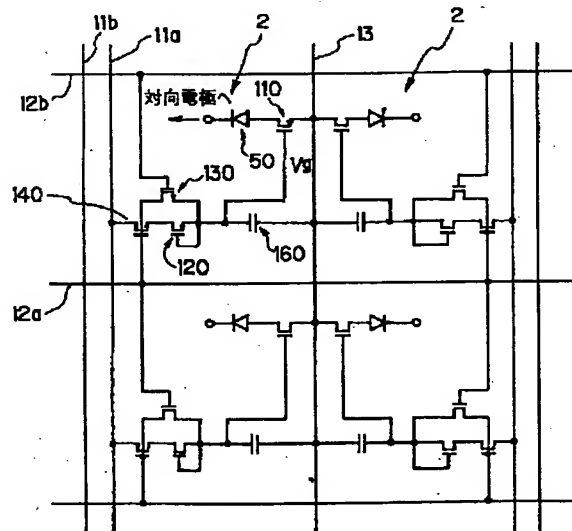
【図8】



【図9】

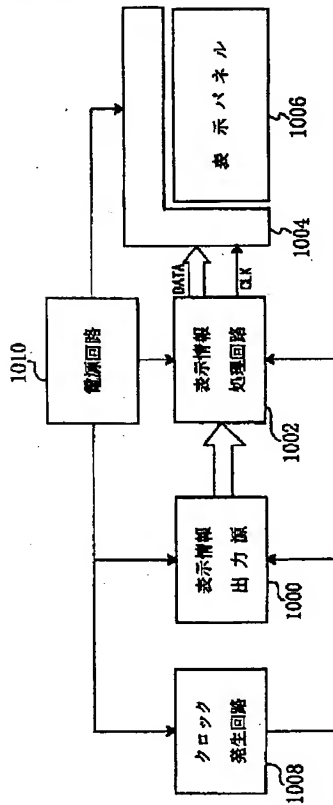


【図10】



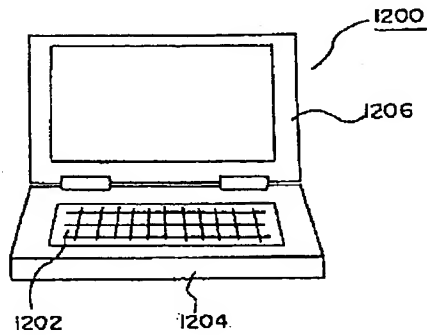
【図11】

電子機器の概要構成を示すブロック図



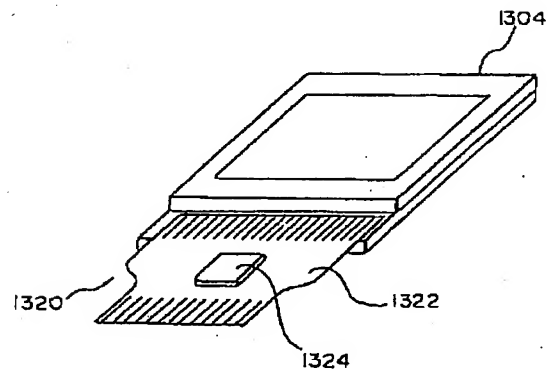
【図12】

パーソナルコンピュータの外観を示す正面図



【図13】

TCPを用いた表示装置の外観を示す斜視図



フロントページの続き

(72)発明者 マイケル クイン
イギリス国 ケンブリッジ市 トラムピン
グトン ストリート

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-272233

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G09G 3/30

G02F 1/136

G09G 3/20

H01L 29/786

(21)Application number : 10-069147

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.03.1998

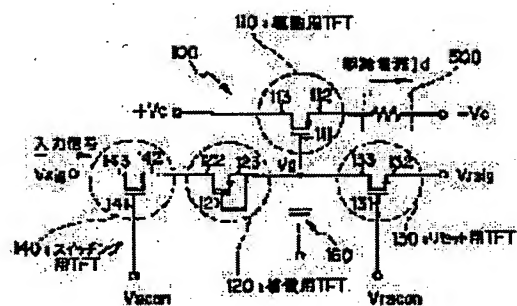
(72)Inventor : KIMURA MUTSUMI
MATSUEDA YOJIRO
OZAWA NORIO
MICHAEL QUINN

(54) TRANSISTOR CIRCUIT, DISPLAY PANEL AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To control, using an input signal of relatively low voltage, a transistor circuit in which the conductance of a drive transistor is controlled according to the voltage of an input signal and to compensate for variations in threshold characteristic of the drive transistor.

SOLUTION: A transistor circuit 100 has a drive transistor 110 in which the conductance between its source and drain is controlled according to the voltage of an input signal supplied to its gate and a compensating transistor 120 whose gate is connected to either the source or drain so that its input signal is supplied to the gate of the drive transistor via the source and drain.



LEGAL STATUS

[Date of request for examination] 29.08.2003

[Date of sending the examiner's decision of] 24.08.2004

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3629939

[Date of registration] 24.12.2004

[Number of appeal against examiner's
decision of rejection] 2004-18845

[Date of requesting appeal against examiner's
decision of rejection] 13.09.2004

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The transistor for a drive by which the conductance between this 1st source and the 1st drain is controlled according to the electrical potential difference of the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to this 1st gate, Have the 2nd gate, the 2nd source, and the 2nd drain, and this 2nd gate is connected to either this 2nd source or the 2nd drain. So that said input signal may be supplied to said 1st gate through this 2nd source and the 2nd drain And the transistor circuit characterized by having the transistor for compensation which makes possible charge transfer of the direction which lowers said conductance to said 1st gate, and which was suitable, came out and was connected to said 1st gate.

[Claim 2] The transistor circuit according to claim 1 characterized by having the resetting means which supplies the reset signal which has an electrical potential difference corresponding to the value of conductance higher than the peak price of said conductance controlled according to said input signal to said 1st gate before supply of said input signal.

[Claim 3] Said reset signal is a transistor circuit according to claim 2 characterized by being set as a large electrical potential difference rather than the maximum electrical potential difference of said input signal more than the threshold electrical-potential-difference part of said transistor for compensation.

[Claim 4] Said resetting means has the 3rd gate, the 3rd source, and the 3rd drain. Either this 3rd source or the 3rd drain is connected to said 1st gate. The transistor circuit according to claim 2 or 3 characterized by having the transistor for reset which supplies said reset signal to said 1st gate through this 3rd source and the 3rd drain when a reset timing signal is supplied to this 3rd gate before supply of said input signal.

[Claim 5] Said transistor for a drive and said transistor for compensation are a transistor circuit given in any 1 term of claims 1-4 characterized by being the transistor of the same mold.

[Claim 6] A transistor circuit given in any 1 term of claims 1-5 characterized by having further the transistor for switching connected so that said input signal might be supplied to said transistor for compensation through this 4th source and the 4th drain, when it had the 4th gate, the 4th source, and the 4th drain and a switching timing signal was supplied to this 4th gate.

[Claim 7] A transistor circuit given in any 1 term of claims 1-6 characterized by having further the retention volume connected to said 1st gate.

[Claim 8] Said transistor is a transistor circuit given in any 1 term of claims 1-7 characterized by consisting of thin film transistors formed on the same substrate, respectively.

[Claim 9] Said transistor is a transistor circuit given in any 1 term of claims 1-7 characterized by said gate, the source, and a drain consisting of bipolar transistors corresponding to the base, an emitter, and a collector, respectively.

[Claim 10] It is a transistor circuit given in any 1 term of claims 1-9 to which said input signal is a voltage signal with which an electrical potential difference is controlled by the source of an input signal, and said transistor for a drive is characterized by controlling the current to which it flows for this current control mold component by connecting either said 1st source or the 1st drain to the current control mold component, and controlling said conductance.

[Claim 11] The display panel characterized by having had two or more picture element parts arranged in the shape of a matrix while including the transistor circuit according to claim 10, respectively, and preparing a current control mold light emitting device in these two or more picture element parts as said current control mold component, respectively.

[Claim 12] Electronic equipment characterized by having a display panel according to claim 11.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention belongs to the technical field of the transistor circuit constituted by having the transistor for a drive which controls the drive current supplied to driven components, such as a current control mold (current drive mold) component, through this source and a drain by belonging to the technical field of the transistor circuit constituted by having two or more transistors, such as a thin film transistor (Following TFT being called), a field effect transistor, and a bipolar transistor, and controlling the conductance between the source and a drain according to the electrical potential difference supplied to especially the gate.

[0002]

[Description of the Prior Art] Generally, to a transistor, dispersion arises to some extent at the volt ampere characteristic and threshold according to various conditions, such as membraneous qualities, such as membraneous quality of the semi-conductor film, thickness, high impurity concentration, and a diffusion field, gate dielectric film, thickness, and operating temperature. In the case of the bipolar transistor using crystal silicon, dispersion in such a threshold is comparatively small, but in TFT, usually, such dispersion is large. In TFT by which crosses broadly and a large number formation is especially carried out on a TFT array substrate in display panels, such as a liquid crystal panel and an EL panel, etc., dispersion in such a current potential property or a threshold becomes very large in many cases. for example, -- even if it manufactures the threshold of this kind of TFT so that it may become 2V (volt) extent (it is -2V at +2V and a P channel in an N channel) -- that dispersion -- several [**] -- it becomes about V.

[0003] In the case of the armature-voltage control (electrical-potential-difference drive) method which carries out armature-voltage control of the picture element part which consists of liquid crystal etc. like [in the case of the so-called TFT-liquid-crystal panel etc.] here, it is comparatively rare for dispersion in the volt ampere characteristic in TFT for a drive prepared in each picture element part or a threshold to pose a problem. That is, it is because the display concentration and brightness in each picture element part are controllable with a sufficient precision by raising the precision of the electrical potential difference supplied to each picture element part through TFT from the exterior if even sufficient switching time will be given in this case even if some dispersion is in the current potential property and threshold of TFT. Therefore, also in the TFT-liquid-crystal panel for a display by which importance is attached to the unevenness of the display concentration in each picture element part, or brightness, dispersion in a current potential property or a threshold can perform high-definition image display etc. using comparatively large TFT.

[0004] The display panel which equipped the picture element part with current control mold light emitting devices, such as organic electroluminescence which carries out spontaneous light, is developed so that brightness may change in recent years according to the current amount of supply on the other hand, and without using a back light and the reflected light, image display is possible, power consumption is low, and moreover there are few angle-of-visibility dependencies, and, sometimes, it is observed as a display panel which realizes flexibility. Also in the case of this EL panel, in order to perform a active-matrix drive, TFT for a drive is used in each picture element part. for example, the drive current supplied to an EL element is controlled from power-source wiring by which connected with the EL element through the electrode for hole injections, and the drain of TFT for a drive was connected to the source according to the electrical potential difference of the data signal impressed to the gate -- it is constituted like (it is made to change). Thus, if TFT for a drive is used, by controlling the conductance between the source and a drain according to electrical-potential-difference change of an input signal, the drive current which flows an EL element is controlled, it becomes possible to change the brightness (brightness) in each picture element part, and image

display etc. can be performed.

[0005]

[Problem(s) to be Solved by the Invention] However, in the case of a current control mold component, dispersion in the volt ampere characteristic in TFT for a drive prepared in each picture element part or a threshold poses a problem like the EL panel especially mentioned above. That is, since dispersion in the volt ampere characteristic in TFT for a drive or a threshold appears as it is as dispersion in the drive current over a data signal even if it raises how much the electrical-potential-difference precision of the data signal supplied to TFT for a drive from the exterior in this case, the precision of a drive current will fall. Consequently, the brightness in each picture element part will also vary according to dispersion in the threshold of TFT for a drive. And since dispersion in such the volt ampere characteristic and a threshold is especially generated by the remarkable degree in the manufacturing technology of current low-temperature poly-Si TFT, this problem is very large practically.

[0006] If it is going to manufacture each TFT, the fall of the yield will be caused, and the fall of the extreme yield is caused in the equipment constituted using much TFT(s) like especially a display panel, and it is contrary to a general request called low-cost-izing so that dispersion in the volt ampere characteristic or a threshold may be reduced to this problem. Or it is next to impossible to manufacture TFT which reduces such dispersion. moreover, every -- even if it is going to prepare separately the circuit which compensates dispersion in the current potential property in TFT, or a threshold, it is expected that it becomes difficult to cause complication of equipment, enlargement, and also the increment in power consumption too, and to cause the fall of the yield again in the display panel with which much especially TFT(s) were arranged by high density, or to reply to a request called the latest low-power-izing and the formation of small lightweight of equipment.

[0007] Let it be a technical problem to be the transistor circuit which this invention is made in view of the trouble mentioned above, and performs conductance control in the transistor for a drive according to the electrical potential difference of an input signal, and to offer the display panel and the electronic equipment which used this for the transistor circuit [the conductance control concerned is comparatively possible by the input signal of a low battery, and] which can moreover compensate dispersion in the current-potential property of the transistor for a drive, or a threshold property by comparatively small power consumption using a comparatively small number of transistors, and the list.

[0008]

[Means for Solving the Problem] In order that a transistor circuit according to claim 1 may solve the above-mentioned technical problem, the 1st gate, The transistor for a drive by which the conductance between this 1st source and the 1st drain is controlled according to the electrical potential difference of the input signal which has the 1st source and the 1st drain and is supplied to this 1st gate, Have the 2nd gate, the 2nd source, and the 2nd drain, and this 2nd gate is connected to either this 2nd source or the 2nd drain. It is characterized by having the transistor for compensation which makes possible charge transfer of the direction which lowers said conductance to said 1st gate so that said input signal may be supplied to said 1st gate through this 2nd source and the 2nd drain and which was suitable, came out and was connected to said 1st gate.

[0009] According to the transistor circuit according to claim 1, the 2nd source of the transistor for compensation and one side of the 2nd drain are connected to the 1st gate of the transistor for a drive, and an input signal is supplied to the 1st gate of the transistor for a drive through these 2nd source and 2nd drain. And in the transistor for a drive, the conductance between the 1st source and the 1st drain is controlled according to the electrical potential difference of the input signal supplied to this 1st gate. Here, the 2nd gate is connected to the 2nd drain and the transistor for compensation is connected to the 1st gate with the sense which makes possible charge transfer of the direction which lowers the conductance between the 1st source and the 1st drain to the 1st gate. Namely, the transistor for compensation has diode characteristics, for example, if the transistor for a drive is an N channel mold, it can energize them only to the sense from the 1st gate to the source of an input signal. Or if the transistor for a drive is a P channel mold, it can energize to the sense from the source of an input signal to the 1st gate.

[0010] For this reason, when an input signal is supplied to the transistor circuit concerned, as compared with the electrical potential difference of the input signal at the time of being inputted into the transistor for compensation, as for the gate voltage of the 1st gate, the pressure up only of the part of the threshold of the transistor for compensation will be carried out to the side to which the conductance of the transistor for a drive is raised. Therefore, in order to acquire desired conductance in the transistor for a drive, only the part of the threshold (electrical potential difference) of the transistor for compensation should supply the input

signal of a low electrical potential difference through the transistor for compensation rather than the gate voltage corresponding to the conductance concerned. Thus, since only the part of the threshold (electrical potential difference) of the transistor for compensation can carry out the pressure up of the gate voltage to an input signal, as compared with the case where there is no transistor for compensation, it becomes possible to perform equivalent conductance control with the electrical potential difference of a lower input signal.

[0011] Generally, this input signal is high frequency as compared with other signals in many cases, and if a lower input signal is sufficient as it and it will become, it can expect remarkable low-power-ization.

[0012] Furthermore, when carrying out the pressure up of the electrical potential difference of an input signal with the transistor for compensation in this way, and considering as the gate voltage in the 1st gate sees as the whole transistor circuit, only the threshold electrical potential difference of the transistor for compensation whose threshold of the input signal over the drive current which flows through the source and the drain by which conductance control is carried out in the transistor for a drive is a part for the pressure up from input voltage to [from the threshold electrical potential difference of the transistor for a drive] gate voltage is low. That is, in the threshold of the input voltage to a drive current, the threshold of the transistor for compensation and the threshold of the transistor for a drive serve as an offset form. Therefore, it becomes possible by bringing both threshold property and the volt ampere characteristic close to bring the threshold of the input signal over a drive current close to zero.

[0013] Furthermore, the threshold of the input signal as the whole transistor circuit can be brought close to a fixed value (zero) by making the threshold of the transistor for a drive, and the threshold of the transistor for compensation offset in the whole transistor circuit concerned in this way again, without being based on the size of the threshold of the transistor for a drive. namely, two or more thresholds -- difference -- if the threshold of the transistor for a drive in each transistor circuit and the transistor for compensation is close brought mutually, respectively when two or more transistor circuits concerned are created using the transistor for a drive, the difference of the threshold between each transistor circuit is smaller than the difference of the threshold of each transistor for a drive (the difference is almost lost ideally). (if both are ideally made in agreement) Therefore, in case two or more transistor circuits concerned are created, even if it uses two or more transistors for a drive from which two or more thresholds differ, dispersion in a threshold becomes possible [obtaining most or two or more transistor circuits which are not].

[0014] A transistor circuit according to claim 2 is characterized by having the resetting means which supplies the reset signal which has an electrical potential difference corresponding to the value of conductance higher than the peak price of said conductance controlled according to said input signal to said 1st gate before supply of said input signal in the transistor circuit according to claim 1 mentioned above.

[0015] According to the transistor circuit according to claim 2, before supplying an input signal to the 1st gate of the transistor for a drive (or before supplying the following input signal after the input signal of 1 is supplied), the reset signal which has an electrical potential difference corresponding to the value of conductance higher than the peak price of the conductance of the transistor for a drive controlled by the resetting means by this 1st gate according to an input signal is supplied. Consequently, gate voltage of the transistor for a drive can be made into constant value by the resetting means, without being based on the size of the electrical-potential-difference value of an input signal, and it becomes possible to supply an input signal to the 1st gate through the transistor for compensation connected to the 1st gate with the sense which moreover makes possible charge transfer of the direction which lowers conductance after reset.

[0016] In the transistor circuit according to claim 2 or 3 which mentioned above the transistor circuit according to claim 3, said reset signal is characterized by being set as a large electrical potential difference rather than the maximum electrical potential difference of said input signal more than the threshold electrical-potential-difference part of said transistor for compensation.

[0017] According to the transistor circuit according to claim 3, the reset signal of a larger electrical potential difference than an input signal is supplied to the 1st gate of the transistor for a drive by the resetting means. And since the electrical potential difference of this reset signal is greatly set up more than the threshold electrical-potential-difference part of the transistor for compensation rather than the maximum electrical potential difference of an input signal, whenever an input signal is inputted after reset, it can supply the electrical potential difference of the transistor for a drive high by the threshold electrical potential difference to the 1st gate of the transistor for a drive through the transistor for compensation rather than the electrical potential difference of that input signal ** [according to / the size of the electrical potential difference of an input signal, or the size of the threshold of the transistor for a drive].

[0018] In the transistor circuit according to claim 2 which mentioned above the transistor circuit according to claim 4 said resetting means Have the 3rd gate, the 3rd source, and the 3rd drain, and either this 3rd

source or the 3rd drain is connected to said 1st gate. When a reset timing signal is supplied to this 3rd gate before supply of said input signal, it is characterized by having the transistor for reset which supplies said reset signal to said 1st gate through this 3rd source and the 3rd drain.

[0019] According to the transistor circuit according to claim 4, if a reset timing signal is supplied to the 3rd gate of the transistor for reset, a reset signal will be supplied to the 1st gate of the transistor for a drive through the 3rd source and 3rd drain by this transistor for reset. Consequently, the gate voltage of the transistor for a drive is resettable to constant value to the supply timing of a reset timing signal. Therefore, the actuation explained to the next transistor circuit according to claim 2 or 3 is attained.

[0020] A transistor circuit according to claim 5 is characterized by said transistor for a drive and said transistor for compensation being transistors of the same mold in a transistor circuit given in any 1 term of claims 1-4 mentioned above.

[0021] According to the transistor circuit according to claim 5, the transistor for a drive and the transistor for compensation are transistors of the same mold, but "the same mold" is mind whose transistor for compensation is also a P channel mold, if the transistor for compensation is also an N channel mold if the transistor for a drive is an N channel mold here, and the transistor for a drive is a P channel mold. Therefore, since the threshold of the transistor for compensation and the threshold of the transistor for a drive become almost equal to mutual, it also becomes possible to perform conductance control, being able to come in the transistor circuit concerned, and offsetting the threshold of ****, and it suiting, consequently using the threshold of the input signal over a drive current as about 0. Furthermore, also when two or more transistor circuits are constituted from two or more transistors for a drive in which the threshold differed, it also becomes possible to compensate dispersion in a threshold.

[0022] Moreover, design values including the channel width of a transistor and channel length, device structure, process conditions, etc. are with the transistor for a drive, and the transistor for compensation, and the more perfect compensation of them is attained by making it equal.

[0023] In a transistor circuit given in any 1 term of claims 1-5 mentioned above, a transistor circuit according to claim 6 is characterized by having further the transistor for switching connected so that said input signal might be supplied to said transistor for compensation through this 4th source and the 4th drain, when it has the 4th gate, the 4th source, and the 4th drain and a switching timing signal is supplied to this 4th gate.

[0024] According to the transistor circuit according to claim 6, if a switching timing signal is supplied to the 4th gate of the transistor for switching, an input signal will be supplied to the transistor for compensation through the 4th source and the 4th drain of this transistor for switching. Consequently, an input signal can be supplied to the transistor for a drive to the supply timing of a switching timing signal.

[0025] A transistor circuit according to claim 7 is characterized by having further the retention volume connected at said 1st gate in a transistor circuit given in any 1 term of claims 1-6 mentioned above.

[0026] According to the transistor circuit according to claim 7, if an input signal is supplied to the 1st gate, the electrical potential difference will be held with the retention volume connected to this one gate. Therefore, also when only a fixed period supplies an input signal, it becomes possible to hold the electrical potential difference built over the 1st gate for a period longer than it.

[0027] With this configuration, even when leakage current is in the transistor for switching through the transistor for compensation, it becomes possible to reduce change of the potential impressed to the 1st gate.

[0028] In a transistor circuit given in any 1 term of claims 1-7 which mentioned above the transistor circuit according to claim 8, it is characterized by said transistor consisting of thin film transistors formed on the same substrate, respectively.

[0029] According to the transistor circuit according to claim 8, the effect the current potential property and threshold property in the thin film transistor for a drive formed on the same substrate affect a drive current can be compensated by the thin film transistor for compensation. If both thin film transistors are especially formed with the same film formation process on the same substrate, since the degree like the characteristic class between both transistors generally increases, dispersion in a current potential property or a threshold property will become possible [obtaining few transistor circuits of two or more on the same substrate].

[0030] In the transistor circuit given in any 1 term of claims 1-7 which mentioned above the transistor circuit according to claim 9, as for said transistor, said gate, the source, and a drain consist of bipolar transistors corresponding to the base, a collector, and an emitter, respectively.

[0031] According to the transistor circuit according to claim 9, the effect the current potential property and threshold property in the bipolar transistor for a drive affect a drive current can be compensated by the bipolar transistor for compensation. If both bipolar transistors are especially manufactured by the same

production process, since the degree like the characteristic class between both transistors generally increases, dispersion in a current potential property or a threshold property will become possible [obtaining few transistor circuits of two or more].

[0032] In a transistor circuit given in any 1 term of claims 1-9 which mentioned above the transistor circuit according to claim 10, said input signal is a voltage signal with which an electrical potential difference is controlled by the source of an input signal, either said 1st source or the 1st drain is connected to the current control mold component, and said transistor for a drive is characterized by controlling the current which flows for this current control mold component by controlling said conductance.

[0033] If the voltage signal with which an electrical potential difference is controlled by the source of an input signal is supplied through the transistor for compensation as an input signal according to the transistor circuit according to claim 10, in the transistor for a drive, the conductance between the 1st source and the 1st drain will be controlled according to electrical-potential-difference change of this voltage signal. Thereby, current control of the current control mold component connected to either the 1st source or the 1st drain is carried out. Therefore, it also becomes possible for precision to improve two or more current drive mold components current control according to the electrical potential difference of a voltage signal, without becoming possible to carry out a current drive with the input signal of a low battery, and moreover depending a current control mold component on dispersion in the current potential property between two or more transistors for a drive, or a threshold property comparatively.

[0034] A display panel according to claim 11 is equipped with two or more picture element parts arranged in the shape of a matrix while it includes the transistor circuit according to claim 10 mentioned above, respectively, and it is characterized by preparing a current control mold light emitting device in these two or more picture element parts as said current control mold component, respectively.

[0035] If an input signal is supplied through the transistor for compensation, since current control of the current control mold light emitting device will be carried out in each picture element part by the transistor for a drive according to the electrical potential difference of this input signal according to the display panel according to claim 11 The brightness (brightness) of a current control mold light emitting device can be controlled with a sufficient precision, it crosses all over the screen-display field of a display panel, without being based on dispersion in the current potential property between the transistors for a drive, or a threshold property, and the unevenness of brightness can be reduced. Furthermore, it also becomes possible by carrying out the pressure up of the gate voltage of the transistor for a drive with the transistor for compensation to control a current control mold light emitting device by the input signal of a low battery comparatively.

[0036] Electronic equipment according to claim 12 is characterized by having the display panel according to claim 11 mentioned above.

[0037] Since it has the display panel according to claim 11 mentioned above according to electronic equipment according to claim 12, the electronic equipment which it crosses all over a display panel and can also be driven being few and comparatively by the unevenness of brightness by the low battery is realizable.

[0038] Such an operation and other gains of this invention will be made clear from the gestalt of the operation explained below.

[0039]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0040] (Transistor circuit) The gestalt of operation of the transistor circuit of this invention is first explained with reference to drawing 1 and drawing 2 . Drawing 1 is the circuit diagram of the transistor circuit in the gestalt of this operation, and drawing 2 (A) and (B) are the timing charts which showed the timing and the electrical potential difference of various signals in this transistor circuit, respectively.

[0041] In drawing 1 , a transistor circuit 100 is equipped with TFT110 (P channel mold) for a drive, TFT120 (P channel mold) for compensation, TFT130 (N channel mold) for reset, and TFT140 (N channel mold) for switching, and is constituted. The configuration of each transistor is explained in order below.

[0042] First, according to the gate voltage V_g impressed to the gate 111 based on the input signal supplied through TFT140 for switching, and TFT120 for compensation, TFT110 for a drive which constitutes an example of the transistor for a drive is constituted so that the conductance between the source 112 and a drain 113 may be controlled.

[0043] On the other hand (drawing 1 drain 123), as for TFT120 for compensation which constitutes an example of the transistor for compensation, the source 122 and a drain 123 are connected for the gate 121.

namely, TFT120 for compensation -- being the so-called -- diode connection is made. and the transistor 120 for compensation makes possible charge transfer of the direction which lowers conductance to the gate 111 so that an input signal may be supplied to the gate 111 through the source 122 and a drain 123 -- it is suitable, and a drain 123 side drawing 1 -- comes out, and is connected to the gate 111.

[0044] TFT130 for reset which constitutes an example of a resetting means Either the source 132 or the drain 133 (in drawing 1). The drain 133 is connected to the gate 111. To the gate 131 The reset scan signal of the electrical potential difference V_{rscan} as an example of a reset timing signal When (the reset scan signal V_{rscan} is called hereafter) is supplied before supply of an input signal V_{sig} , it is constituted so that the reset signal (reset-signal V_{rsig} is called hereafter) of an electrical potential difference V_{rsig} may be supplied to the gate 111 through the source 132 and a drain 133.

[0045] Moreover, when the scan signal (the scan signal V_{scan} is called hereafter) of the electrical potential difference V_{scan} as an example of a switching timing signal is supplied to the gate 141, TFT140 for switching which constitutes an example of a switching transistor is connected between the source of an input signal, and TFT120 for compensation so that the input signal (an input signal V_{sig} is called hereafter) of an electrical potential difference V_{sig} may be supplied to TFT120 for compensation through the source 142 and a drain 143.

[0046] And the end of the current control mold (current drive mold) components 500, such as an EL element, is connected to the source 112 of the transistor 110 for a drive, and it is the negative supply of predetermined potential in the other end of this current control mold component 500. - V_c is connected. Moreover, positive supply $+V_c$ of predetermined potential is connected to the drain 113 of the transistor 110 for a drive. Therefore, if conductance control between the source 112 and a drain 113 is performed in the transistor 110 for a drive, the drive current I_d which flows the current control mold component 500 will be controlled (that is, the drive current I_d changes according to conductance change).

[0047] Furthermore, retention volume 160 is connected to the gate 111 of the transistor 110 for a drive. For this reason, the once impressed gate voltage V_g is held with retention volume 160.

[0048] Next, actuation of the transistor circuit 100 constituted as mentioned above is explained with reference to drawing 2 and drawing 3 with drawing 1.

[0049] If the reset scan signal V_{rscan} is inputted into TFT130 for reset as shown in drawing 2 (A), TFT130 for reset is made into switch-on, and reset-signal V_{rsig} will be supplied to the gate 111 of TFT110 for a drive, and let gate voltage V_g of the gate 111 be level almost equal to the electrical potential difference V_{rsig} of this reset-signal V_{rsig} . Consequently, the gate voltage V_g of TFT110 for a drive can be reset on a fixed electrical potential difference (namely, the electrical potential difference V_{rsig}) to the supply timing of the reset scan signal V_{rsig} , without being based on the size of the electrical potential difference V_{sig} of an input signal V_{sig} .

[0050] And if this reset period expires and the scan signal V_{scan} is supplied to TFT140 for switching, data signal V_{sig} will be supplied to the gate 111 of TFT110 for a drive through TFT120 for compensation, TFT140 for switching being used as switch-on. Since the gate 121 is connected to the drain 123 in TFT120 for compensation here especially with the gestalt of this operation, as for the gate voltage V_g in TFT110 for a drive which is the P channel mold TFT made into a **** condition by impressing a negative electrical potential difference to the gate 111 (namely, since diode connection being made), only the pressure of the threshold electrical potential difference V_{th2} of TFT120 for compensation is lowered from the electrical potential difference V_{sig} of data signal V_{sig} at a negative electrical-potential-difference side. And as for the gate voltage V_g whose pressure was lowered in this way, after the supply interruption of the scan signal V_{scan} and an input signal V_{sig} is held during a drive period with retention volume 160.

[0051] In addition, it is enough if only the time amount from which gate voltage V_g turns into the electrical potential difference V_{rsig} of reset-signal V_{rsig} is taken as a reset period. For this reason, a drive period can be far set up for a long time rather than a reset period, and thereby, even if TFT110 for a drive is made a **** condition by reset-signal V_{rsig} during a reset period, effect to the drive current I_d of the current which flows through the source 112 and the drain 113 of TFT110 for a drive in the meantime can be made small to extent which can be disregarded.

[0052] Since only the part of the threshold electrical potential difference V_{th2} of TFT120 for compensation can lower the pressure of the gate voltage V_g to an input signal V_{sig} as mentioned above according to the gestalt of this operation, as compared with the case where there is no TFT120 for compensation, it becomes possible to perform equivalent conductance control in TFT110 for a drive using the electrical potential difference V_{sig} of the lower input signal V_{sig} .

[0053] Both drawing 2 (B) is the timing charts at the time of constituting TFT110 for a drive, and TFT120

for compensation from an N channel mold TFT. In addition, in this case The gate voltage V_g in TFT110 for a drive which is the N channel mold TFT made into a **** condition by impressing a forward electrical potential difference to the gate 111 After considering as the electrical potential difference V_{rsig} of reset-signal V_{rsig} at the time of reset, the pressure up only of the threshold electrical potential difference V_{th2} of TFT120 for compensation is carried out to a forward electrical-potential-difference side from the electrical potential difference V_{sig} of an input signal V_{sig} .

[0054] Here, when the electrical potential difference V_{sig} and gate voltage V_g of an input signal V_{sig} are in agreement supposing it carries out the direct input of the input signal V_{sig} to TFT110 for a drive through TFT120 for compensation namely, as shown (for this to be the case where TFT110 for a drive is an N channel), the drive current I_d has the property of starting from the threshold electrical potential difference V_{th1} of TFT110 for a drive. [drawing 3 (A) and] For example, dispersion in 2V, then a threshold is set to about **several v in the design-basis value of this threshold electrical potential difference V_{th1} . And dispersion in the threshold electrical potential difference V_{th1} in TFT110 for a drive appears as dispersion in the drive current I_d as it is.

[0055] On the other hand, in order to input an input signal V_{sig} into TFT110 for a drive through TFT120 for compensation with the gestalt of this operation, namely, when only the part of the threshold electrical potential difference V_{th2} of TFT120 for compensation carries out the pressure up of the electrical potential difference V_{sig} of an input signal V_{sig} and makes it gate voltage V_g As shown (for this to be [both] the case where TFT110 for a drive and TFT120 for compensation are N channels), [drawing 3 (B) and] The threshold electrical potential difference V_{th2} of TFT120 for compensation and the threshold electrical potential difference V_{th1} of TFT110 for a drive are offset, and the threshold electrical potential difference V_{th} of the input signal V_{sig} over the transistor-circuit 100 whole approaches zero. And when especially both the threshold electrical potential differences V_{th1} and V_{th2} are mostly in agreement, this threshold electrical potential difference V_{th} is set to about 0. Thus, it can perform comparatively simply making in agreement the threshold electrical potential differences V_{th1} and V_{th2} by constituting TFT110 for a drive, and TFT120 for compensation from isomorphism TFT in the contiguity location for example, on the same semi-conductor substrate. Thus, the gate dielectric film in both TFT(s) by which thin film formation is carried out if constituted, Since thickness, such as semi-conductor film, the flat-surface configuration of each component, such as channel length, the high impurity concentration in the field for channel formation, a source field, and a drain field, the temperature condition at the time of actuation, etc. can be made easily in agreement The threshold electrical potential differences V_{th1} and V_{th2} of both TFT(s) can be made after all in agreement nearly completely completely. In addition, when making a threshold property approximate, channel width may not be the same although it is better to make channel die length the same.

[0056] Thus, according to the gestalt of this operation, what the threshold electrical potential difference V_{th} of the input signal V_{sig} over the drive current I_d is brought for close to zero (it is ideally made in agreement with zero) (it is made ideally in agreement) becomes possible by bringing the threshold property and the volt ampere characteristic of TFT110 for a drive, and TFT120 for compensation close.

[0057] Furthermore, even if the threshold electrical potential difference V_{th1} in each TFT110 for a drive varies mutually when manufacturing two or more transistor circuits 100 so that drawing 3 (A) and drawing 3 (B) may show, the threshold electrical potential difference V_{th} of each transistor circuit 100 is made the value near zero by operation of each TFT120 for compensation ** [according to / the size of this threshold electrical potential difference V_{th1}]. That is, the transistor circuit 100 of a large number with the fixed threshold electrical potential difference V_{th} can be manufactured. This is useful to especially the applications for [from which dispersion in the threshold electrical potential difference V_{th} between many transistor circuits 100 poses a problem like the after-mentioned] display panels. And the thing made mutually in agreement [the threshold electrical potential difference V_{th1} of TFT110 for a drive of a pair and the threshold electrical potential difference V_{th2} of TFT120 for compensation by which contiguity arrangement is carried out] in each transistor circuit 100 Rather than making in agreement the threshold electrical potential difference V_{th1} of two TFT(s)110 for a drive which separate distance and are arranged separately, since it is far easy as mentioned above, Thus, it can be said that the configuration which compensates the threshold electrical potential difference V_{th1} in each transistor circuit 100 by TFT120 for compensation is very effective in order to reduce dispersion in two or more threshold electrical potential differences V_{th} between transistor-circuit 100.

[0058] In case two or more transistor circuits 100 are created, even if it uses two or more TFT110110 for a drive when the threshold electrical potential difference V_{th1} is different from each other, i.e., two or more TFT(s) for a drive which have the threshold electrical potential difference V_{th1} which varied greatly from

the threshold electrical potential difference (for example, 2.5V) as a design-basis value, respectively, as mentioned above according to the gestalt of this operation, dispersion in the threshold electrical potential difference V_{th} becomes possible [obtaining most or two or more transistor circuits 100 which are not]. For this reason, the conditions required of TFT about a current potential property become loose, and improvement in the yield and reduction of a manufacturing cost can be aimed at.

[0059] In addition, by making in agreement the threshold electrical potential differences V_{th1} and V_{th2} so that drawing 3 (A) and drawing 3 (B) may show The 1st effectiveness that conductance control in each TFT110 for a drive can be performed using the gate voltage V_g higher than the electrical potential difference V_{sig} of an input signal V_{sig} , And although the 2nd effectiveness of reducing dispersion in the threshold electrical potential difference V_{th} between two or more transistor circuits 100 is demonstrated notably Since both the threshold electrical potential difference has the property which offsets each other and suits even if it does not make the threshold electrical potential difference V_{th1} of TFT110 for a drive, and the threshold electrical potential difference V_{th2} of TFT120 for compensation completely in agreement in each transistor circuit 100 Such 1st and 2nd effectiveness is demonstrated with extent according to the similarity of both the threshold electrical potential difference.

[0060] It consists of especially gestalten of this operation so that reset-signal V_{rsig} which has an electrical potential difference corresponding to the value of conductance higher than the peak price of the conductance controlled according to an input signal V_{sig} to the gate 111 may be supplied. Therefore, it becomes possible to supply an input signal V_{sig} to the gate 111 through TFT120 for compensation connected to the gate 111 with the sense which makes possible charge transfer of the direction which lowers this conductance after reset ** [according to / the size of the electrical-potential-difference value V_{sig} of an input signal V_{sig}]. And with the gestalt of this operation, reset-signal V_{rsig} is set as the electrical potential difference larger [2 minutes or more of threshold electrical potential differences V_{th} of TFT120 for compensation] than the maximum electrical potential difference of an input signal V_{sig} . Therefore, whenever an input signal V_{sig} is inputted after reset, the high electrical potential difference can be supplied to the gate 111 from the electrical potential difference V_{sig} of the input signal V_{sig} only for threshold electrical-potential-difference V_{th} 2 minutes of TFT120 for compensation, without being based on the size of the electrical potential difference V_{sig} of an input signal V_{sig} , or the size of the threshold electrical potential difference V_{th2} of TFT120 for compensation.

[0061] In addition, when reversal of an input signal V_{sig} which the conventional liquid crystal display component is sufficient as, and is used is performed, it is desirable to realize the relation of above reset-signal V_{sig} also to all the input signals V_{sig} also including the reversed input signal.

[0062] With reference to drawing 4 and drawing 5, examination is added about the effectiveness by electrical-potential-difference setup of this reset-signal V_{rsig} . Drawing 4 the design-basis value of a threshold here for example, change of the drive current [as opposed to / it is referred to as -2.5V and / dispersion ΔV_{th} of the threshold electrical potential difference from the reference value] I_d (1) When the direct-input signal V_{sig} is supplied without TFT120 for compensation to TFT110 for a drive (characteristic curve C1), (2) When an input signal V_{sig} is supplied to TFT110 for a drive through TFT120 for compensation, having used reset-signal V_{rsig} as 5V (characteristic curve C2), And the case (characteristic curve C3) where an input signal V_{sig} is supplied to TFT110 for a drive through TFT120 for compensation, having used (3) reset-signal V_{rsig} as 0V is shown, respectively. Moreover, drawing 5 (A) shows the fluctuation range of the gate voltage V_g corresponding to a characteristic curve C2, and drawing 5 (B) shows the fluctuation range of the gate voltage V_g corresponding to a characteristic curve C3. In addition, it is referred to as $V_{sig}=7.5V$, $+V_c=10V$, and $-V_c=5V$ here.

[0063] In drawing 4, as the characteristic curve C1 showed, in having no TFT120 for compensation, dispersion ΔV_{th} of a threshold electrical potential difference has appeared notably as dispersion in the drive current I_d as it is.

[0064] Although dispersion ΔV_{th} of a threshold electrical potential difference is considerably compensated with the plus side when TFT for compensation is used, having used reset-signal V_{rsig} as 5V, as the characteristic curve C2 showed, in the minus side, it has appeared as dispersion in the drive current I_d . This is because only the part of the threshold electrical potential difference V_{th2} can lower the pressure of gate voltage V_g from an input signal V_{sig} to a negative electrical-potential-difference side (it compensates), when an input signal V_{sig} is inputted after reset in a minus side, as shown in drawing 5 (A). It is because TFT120 for compensation which is diode cannot be kept away even if it can bring gate voltage V_g close to an input signal V_{sig} from reset-signal V_{rsig} .

[0065] Moreover, as the characteristic curve C3 showed, when TFT for compensation is used, having used

reset-signal V_{sig} as 0V, dispersion ΔV_{th} of a threshold electrical potential difference has hardly appeared as dispersion in the drive current I_d . This is because only the part of the threshold electrical potential difference V_{th} can lower the pressure of gate voltage V_g from an input signal V_{sig} to a negative electrical-potential-difference side (it compensates), when an input signal V_{sig} is inputted after reset, as shown in drawing 5 (B). In addition, if it thinks that $V_{sig}=7.5V$ given here are the minimum potential of an input signal V_{sig} , the above-mentioned consideration will be realized [whether it can compensate to all $V_{sig}(s)$].

[0066] With the gestalt of this operation, the low electrical potential difference V_g can always be impressed to the gate 111 of TFT110 for a drive rather than the electrical potential difference of the input signal V_{sig} as mentioned above only for threshold electrical-potential-difference V_{th} 2 minutes of TFT120 for compensation, without being based on the size of input voltage V_{sig} , or the size of the threshold electrical potential difference V_{th2} of TFT110 for compensation.

[0067] In addition, in drawing 2 (A) and drawing 2 (B), gate voltage V_g is held with retention volume 160 during a drive period. For this reason, dispersion in the maintenance property of the gate voltage V_g between two or more transistor circuits 100 can also be reduced with retention volume 160 (compensation).

[0068] As explained using drawing 5 from drawing 1 above, although precision improves two or more current control mold components 500 current control according to the electrical potential difference of an input signal V_{sig} , according to the transistor circuit 100 of the gestalt of this operation, it can do, without becoming possible to carry out a current drive with the input signal V_{sig} of a low battery, and moreover depending comparatively, the current control mold components 500, such as an EL element, on dispersion in the current potential property between two or more TFT110 for a drive, or a threshold property.

[0069] In addition, although the P channel mold TFT and the N channel mold TFT are mixed and constituted from an example shown in drawing 1, all TFT(s) may be constituted from an N channel mold TFT, or all TFT(s) may consist of P channel molds TFT. However, it is more advantageous for the same process to constitute these TFT(s) 110 for a drive and TFT120 for compensation from a viewpoint which compensates the current potential property and threshold property of TFT110 for a drive with TFT120 for compensation as TFT of isomorphism. if both TFT(s) are especially formed with the same film formation process, since the degree like the characteristic class between both TFT(s) will generally increase -- dispersion in a current potential property or a threshold property -- completely -- **** -- it becomes possible to obtain the transistor circuit 100 which is not most on the same substrate. On the other hand, neither TFT130 for reset nor TFT140 for switching is based on whether TFT110 for a drive is a P channel mold, or it is an N channel mold, but a P channel mold or an N channel mold is also available for it. However, there is that it is [much] also more advantageous on manufacture to set all TFT(s) to TFT of isomorphism.

[0070] Moreover, various kinds of TFT(s) 110-140 in the gestalt of this operation may consist of field-effect transistors (FET) of which classes, such as an assembling die, and juxtaposition, a series connection.

[0071] Furthermore, as shown in drawing 6, the transistor circuit like **** may consist of bipolar transistors. In this case, what is necessary is to make the gate, the above-mentioned source, and an above-mentioned drain correspond to the base, an emitter, and a collector, respectively, to constitute transistor 120' for compensation from a bipolar transistor, while constituting transistor 110' for a drive from a bipolar transistor, and just to consider as transistor-circuit 100'. Generally, in the case of a bipolar transistor, although the dispersion is small as compared with TFT, even if it constitutes a threshold electrical potential difference in this way focusing on 0.7V, it can compensate the effect dispersion in the current potential property in transistor 110' for a drive or a threshold property affects the drive current I_d by transistor 120' for compensation. Furthermore, the drive by transistor 110' for a drive can be comparatively performed by the low battery. especially -- a drive -- ** -- a transistor -- 110 -- ' -- compensation -- ** -- a transistor -- 120 -- ' -- the same -- a production process -- manufacturing -- if -- these -- both -- a transistor -- between -- a characteristic class -- likeness -- a degree -- general -- increasing -- a sake -- current potential -- a property -- a threshold -- a property -- dispersion -- almost -- there is nothing -- or -- decreasing -- having had -- a large number -- a transistor circuit -- 100 -- ' -- obtaining -- things -- being possible -- ** -- becoming .

[0072] As a current control mold component 500 in the gestalt of the above operation, various kinds of components, such as current control mold light emitting devices, such as an organic EL device and an inorganic EL element, and a hot printing component of a current control mold, are mentioned.

[0073] (Display panel) The gestalt of operation of the display panel of this invention is explained with reference to drawing 10 from drawing 7. Drawing 7 is the block diagram showing the whole display-panel configuration, drawing 8 is the top view of one picture element part in a display panel, drawing 9 (A), drawing 9 (B), and drawing 9 (C) are the A-A' sectional view and a B-B' sectional view and C-C' sectional

view, respectively, and drawing 10 is the circuit diagram of four picture element parts which adjoin each other.

[0074] The display panel in the gestalt of this operation is equipped with two or more picture element parts arranged in the shape of a matrix while it includes the transistor circuit of this invention mentioned above, respectively, and as an example of a current control mold light emitting device, in these two or more picture element parts, EL element 50 is formed, respectively, and it is constituted.

[0075] As shown in drawing 7, in the screen-display field to which it has the TFT array substrate 1, and two or more picture element parts 2 have been arranged in the shape of a matrix on this TFT array substrate 1, a display panel 200 It has two or more data lines 11 which have been extended in the direction of Y, respectively and were arranged in the direction of X, two or more scanning lines 12 which have been extended in the direction of X, respectively and were arranged in the direction of Y, and two or more common feeders 13 put in order in parallel with two or more data lines 11. Further, a display panel 1 is equipped with the data-line drive circuit 21 which supplies a data signal to each data line 11, the scanning-line drive circuit 22 of the pair which supplies a scan signal at each scanning line 12, and the inspection circuit 23 for inspecting poor **** in each picture element part 2, poor insulation, the defect of a component, etc. around a screen-display field, and is constituted to it. In addition, in the gestalt of this operation, although each drive circuit is formed at the picture element part 2 and the common process on the TFT array substrate 1, it may be made into the circuit which is not on the TFT array substrate 1, or may be formed at a process different from a picture element part 2.

[0076] As shown in drawing 8, TFT110 for a drive explained using drawing 6 from drawing 1, TFT120 for compensation, TFT130 for reset, TFT140 for switching, and retention volume 160 are formed in each picture element part 2. And scanning-line 12b of the preceding paragraph becomes wiring for the reset scan signals Vrscan in drawing 1, scanning-line 12a of this stage becomes wiring for the scan signals Vscan in drawing 1, and wiring for reset-signal Vrsig, and data-line 11a of this stage has become wiring for input signals Vsig (data signal) in drawing 1. Furthermore, the common feeder 13 is connected to positive supply +V, EL element 50 is connected between TFT110 for a drive, and the below-mentioned counterelectrode, and this counterelectrode is connected to negative supply -V.

[0077] As shown in drawing 9 (A), TFT140 for switching, TFT120 for compensation, and retention volume 160 consist of the 1st interlayer insulation film 7 and the aluminum film 8 which consist of the gate dielectric film 5 set to TFT array substrate top 1 from the semi-conductor film (polish recon film) 4, an oxidation silicone film, or a silicon nitride film, the Ta (tantalum) film 6, an oxidation silicone film, or a silicon nitride film along the A-A' cross section of drawing 8. In addition, the low resistance polish recon film may be formed instead of the Ta film 6 for gate electrode formation.

[0078] TFT140 for switching is TFT of a top gate mold with the gate 141 which consists of polish recon film 6, and, more specifically, is constituted by n mold at the both sides as TFT of the N channel mold equipped with the source 142 and the drain 143 by which the high concentration dope was carried out by making into the field for channel formation semi-conductor layer 4 part which counters the gate 141 through gate dielectric film 5. And the source 142 is connected to data-line 11a which consists of aluminum film 8 through the contact hole punctured by gate dielectric film 5 and the 1st interlayer insulation film 7.

Moreover, a drain 143 relays the contact hole and the aluminum film 8 which were punctured by gate dielectric film 5 and the 1st interlayer insulation film 7, and is connected to TFT120 for compensation.

[0079] TFT120 for compensation is TFT of a top gate mold with the gate 121 which consists of Ta film 6, and is constituted by p mold at the both sides as TFT of the P channel mold equipped with the source 122 and the drain 123 by which the high concentration dope was carried out by making into the field for channel formation semi-conductor film 4 part which counters the gate 121 through gate dielectric film 5. And the contact hole and the aluminum film 8 which were punctured by gate dielectric film 5 and the 1st interlayer insulation film 7 are relayed, and it connects with TFT140 for switching, and retention volume 160 list at the gate 111 of TFT110 for a drive.

[0080] Moreover, opposite arrangement of the semi-conductor film 4, the Ta film 6, and the aluminum film 8 is carried out through gate dielectric film 5 and the 1st interlayer insulation film 7, and retention volume 160 is constituted so that it may have the capacitor configuration of a duplex. And semi-conductor film 4 part which constitutes retention volume is connected to the aluminum film 8 through the contact hole punctured by gate dielectric film 5 and the 1st interlayer insulation film 7, and Ta film 6 part which constitutes retention volume is connected to the aluminum film 8 through the contact hole punctured by the 1st interlayer insulation film 7.

[0081] As shown in drawing 9 (B), TFT130 for reset is constituted from the semi-conductor film 4, gate

dielectric film 5, Ta film 6, the 1st interlayer insulation film 7, and aluminum film 8 by TFT array substrate top 1 along the B-B' cross section of drawing 8.

[0082] TFT130 for reset is TFT of a top gate mold with the gate 131 which consists of Ta film 6, and, more specifically, is constituted by n mold at the both sides as TFT of the N channel mold equipped with the source 132 and the drain 133 by which the high concentration dope was carried out by making into the field for channel formation semi-conductor layer 4 part which counters the gate 131 through gate dielectric film 5. And the source 132 and a drain 133 relay the contact hole and the aluminum film 8 which were punctured by gate dielectric film 5 and the 1st interlayer insulation film 7, and are connected to the gate 111 of scanning-line 12a of this stage that consists of Ta film 6, and TFT110 for a drive, respectively.

[0083] Moreover, as shown in drawing 9 (C), TFT110 for a drive is constituted from the semi-conductor film 4, gate dielectric film 5, Ta film 6, the 1st interlayer insulation film 7, and aluminum film 8 by TFT array substrate top 1 along the C-C' cross section of drawing 8. And on the 2nd interlayer insulation film 9, the ITO film 51 which relayed a contact hole and the aluminum film 8 to the drain 113 of TFT110 for a drive, and was connected to it is formed, and EL element 50 is formed on it. On the other hand, the source 112 of TFT110 for a drive is connected to the common feeder 13 which consists of aluminum film 8 through a contact hole. moreover, EL element 50 in the picture element part 2 which adjoins each other -- the bank 52 of electric insulation -- phase partition *****. Preferably, bank 52 has a good thing with protection-from-light nature. Bank 52 consists of a resist of for example, protection-from-light nature, and you may make it establish bank 52 for the perimeter of the screen-display field of the display panel 200 concerned also in a wrap circumference sacrifice field. And on EL element 50, the counterelectrode (upper electrode) 56 which consists of low resistance metals, such as aluminum, or ITO is formed.

[0084] As shown in drawing 10, the configuration to which positive supply +V is supplied to the both sides of the picture element part 2 which adjoined in the direction of X each other with the common feeder 13 especially in the display panel 200 is taken, and the number of power-source wiring is made into abbreviation 1/2 as compared with the case where power-source wiring for positive supply +V supply is simply prepared for every train of a picture element part 2. Moreover, as compared with the case where wiring only for reset scan signal Vrscan(s) and wiring only for reset-signal Vrsig(s) are prepared, the number of signal wiring is reduced by taking the configuration which supplies the reset scan signal Vrscan inputted into the gate 131 of TFT130 for reset by scanning-line 12b of the preceding paragraph, and supplies reset-signal Vrsig inputted into TFT130 for reset by scanning-line 12b of this stage. Thus, by making it increase neither the number of power-source wiring, nor the number of signal wiring, the tooth space in which TFT120 for compensation which is not prepared and TFT130 for reset are formed is securable for the conventional display panel. Of course, unlike the gestalt of this operation, the thought of this invention is applicable also to what prepared the common feeder for every pixel and prepared what made the pattern the same for every pixel, wiring only for reset scan signal Vrscan(s), and wiring only for reset-signal Vrsig(s).

[0085] In addition, in the case of the display panel 200 using EL element 50 which is a current drive mold light emitting device like the gestalt of this operation, even if it does not increase the opening field of a pixel like a liquid crystal panel, if the amount of currents supplied to a light emitting device is made to increase, although spontaneous light will be carried out according to this therefore, brightness required for image display can be obtained. Therefore, the tooth space which saves the field which wiring occupies like the gestalt of this operation, and forms various kinds of TFT(s) in a picture element part 2 may be secured, and the tooth space which forms various kinds of TFT(s) in a picture element part 2 may be secured by making magnitude of each EL element 50 small.

[0086] Next, actuation of the display panel 200 of the gestalt of this operation is explained with reference to drawing 7 and drawing 10.

[0087] If the scan signal Vscan is supplied to scanning-line 12b of the preceding paragraph from the scanning-line drive circuit 22, this will be inputted into the gate 131 of TFT130 for reset of this stage as a reset scan signal Vrscan of this stage. In parallel to this, reset-signal Vrsig is supplied to scanning-line 12a of this stage from the scanning-line drive circuit 22, and let gate voltage Vg of TFT110 for a drive of this stage be the potential of reset-signal Vrsig (refer to drawing 2 (A)). At this time, even when reset-signal Vrsig is the same as that of the off potential of the scan signal Vscan, it is not cared about. Then, this will be inputted into the gate 141 of TFT140 for switching of this stage if the scan signal Vscan is supplied to scanning-line 12a of this stage from the scanning-line drive circuit 22. In parallel to this, an input signal Vsig (data signal) is supplied to data-line 11a of this stage from the data-line drive circuit 21, through TFT140 for switching, and TFT120 for compensation, the pressure of this electrical potential difference Vsig is lowered only for threshold electrical-potential-difference Vth 2 minutes of TFT120 for

compensation, and it is supplied to the gate 111 of TFT110 for a drive of this stage as gate voltage V_g (refer to drawing 2 (A)). Consequently, according to this gate voltage V_g whose pressure was lowered, the source 112 of TFT110 for a drive and the conductance between drains 113 are controlled, and the drive current I_d which flows EL element 50 between positive supply $+V$ and negative supply $-V$ is controlled.

[0088] Therefore, dispersion in the threshold electrical potential difference V_{th1} in TFT110 for a drive prepared in each picture element part 2 is compensated with the threshold V_{th2} of TFT120 for compensation, dispersion in the threshold of data signal V_{sig} to the drive current I_d between two or more picture element parts 2 is almost lost, and uniform image display is made possible with the brightness of homogeneity over the whole screen-display field of a display panel 200. Moreover, it is also made possible to control the drive current I_d by the pressure-lowering operation by TFT120 for compensation using data signal V_{sig} of a comparatively small electrical potential difference.

[0089] Although gate voltage V_g is reset before supply of an input signal V_{sig} by TFT130 for reset, since what is necessary is to cover a multiple frame with the same input signal V_{sig} , and just to control the drive current I_d , it is not necessary to perform the starting reset action for every scan with the gestalt of the above operation, at the period which displays a still picture, for example. moreover, gate voltage V_g is reset by optical exposure instead of reset-signal V_{rsig} electric in this way -- you may constitute like (it is made a predetermined reset electrical potential difference). Furthermore, you may constitute again so that reset-signal V_{rsig} may be supplied through TFT140 for switching, or TFT120 for compensation instead of TFT130 for reset. On the other hand, if it is the application which does not switch like a active-matrix drive, it cannot be overemphasized that TFT140 for switching and switching operation are unnecessary.

[0090] (Electronic equipment) Next, the gestalt of operation of electronic equipment equipped with the display panel 200 explained to the detail above is explained with reference to drawing 13 from drawing 11.

[0091] The outline configuration of the electronic equipment which equipped drawing 11 with the display panel 200 in this way is shown first.

[0092] In drawing 11, electronic equipment is constituted in preparation for the source 1000 of a display information output, the display information processing circuit 1002, the drive circuit 1004, a display panel 1006, and clock generation circuit 1008 list in the power circuit 1010.

[0093] The display panel 200 in the gestalt of operation mentioned above is equivalent to the display panel 1006 and the drive circuit 1004 in a gestalt of this operation. Therefore, on the TFT array substrate which constitutes a display panel 1006, the drive circuit 1004 may be carried and display information processing circuit 1002 grade may be carried further. Or to the TFT array substrate carrying a display panel 1006, external [of the drive circuit 1004] may be carried out, and it may be constituted.

[0094] The source 1000 of a display information output outputs display information, such as a picture signal of a predetermined format, to the display information processing circuit 1002 based on the clock signal from the clock generation circuit 1008 including the tuning circuit which aligns and outputs memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk unit, and a TV signal. The display information processing circuit 1002 is constituted including various well-known processing circuits, such as magnification and a polarity-reversals circuit, a phase expansion circuit, a rotation circuit, a gamma correction circuit, and a clamping circuit, carries out sequential generation of the digital signal from the display information inputted based on the clock signal, and outputs it to the drive circuit 1004 with a clock signal CLK. The drive circuit 1004 drives a display panel 200. A power circuit 1010 supplies a predetermined power source to each above-mentioned circuit.

[0095] Next, the example of the electronic equipment constituted in this way from drawing 12 by drawing 13 is shown, respectively.

[0096] In drawing 12, other personal computers 1200 of the laptop type corresponding to example slack multimedia of electronic equipment (PC) are equipped with the body 1204 with which the keyboard 1202 was incorporated while it has the display panel 200 mentioned above in the top covering case 1206 and they hold CPU, memory, a modem, etc. further.

[0097] moreover, as shown in drawing 13, in the case of the display panel 1304 which carries neither the drive circuit 1004 nor the display information processing circuit 1002 To TCP (Tape Carrier Package) 1320 mounted on the polyimide tape 1322, IC1324 including the drive circuit 1004 or the display information processing circuit 1002 It is also possible to connect physically and electrically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 1, and to carry out production, sale, use, etc. as a display panel.

[0098] ***** equipped with the video tape recorder of television, a viewfinder mold, or a monitor direct viewing type, the car navigation equipment, the electronic notebook, the calculator, the word processor, the

engineering workstation (EWS), the cellular phone, the TV phone, POS terminal, and touch panel other than electronic equipment which were explained with reference to drawing 13 from drawing 12 above etc. is mentioned as an example of the electronic equipment shown in drawing 11.

[0099] As explained above, according to the gestalt of this operation, various kinds of electronic equipment which it crosses all over a display panel and can also be driven being few and comparatively by the unevenness of brightness by the low battery is realizable.

[0100]

[Effect of the Invention] According to the transistor circuit of this invention, to the electrical potential difference of an input signal, since a pressure up can be carried out, only the part of the threshold electrical potential difference of the transistor for compensation can perform pressure-lowering or conductance control in the transistor for a drive for gate voltage with the electrical potential difference of a low input signal. Furthermore, it also becomes possible by bringing the threshold property and the volt ampere characteristic of the transistor for compensation, and the transistor for a drive close to bring the threshold electrical potential difference of the input signal over a drive current close to zero. furthermore, two or more threshold properties again -- difference -- when two or more transistor circuits concerned are created using the transistor for a drive, even if it uses two or more transistors for a drive from which two or more threshold electrical potential differences differ, i.e., two or more transistors for a drive which have the threshold electrical potential difference which varied greatly from the design-basis value, respectively, dispersion in the threshold electrical potential difference in two or more transistor circuits becomes possible [also obtaining most or two or more transistor circuits which are not].

[0101] According to the display panel of this invention, the image display by which brightness unevenness was reduced is realizable using the input signal of a low battery.

[0102] Moreover, according to the electronic equipment of this invention, it becomes realizable [various electronic equipment such as a personal computer, a pager etc. in which high-definition image display is possible,].

[Translation done.]

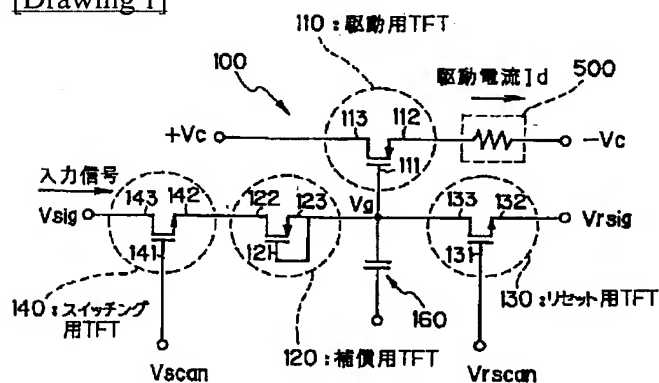
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

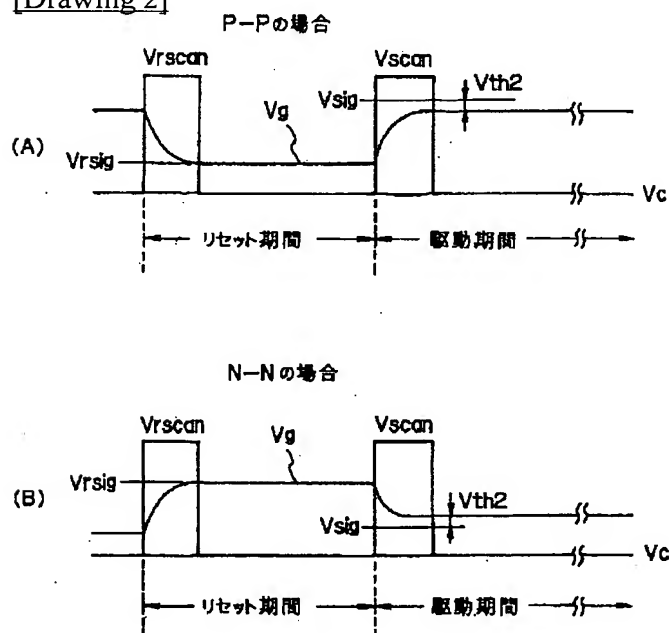
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

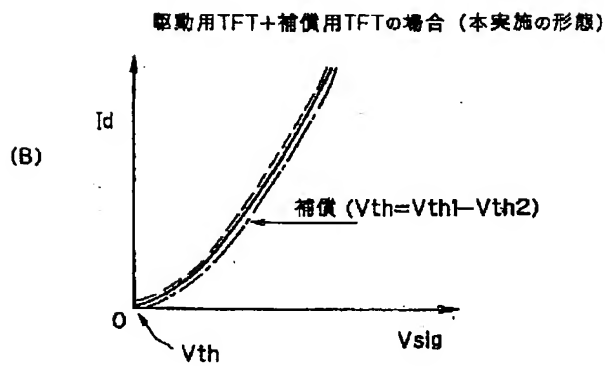
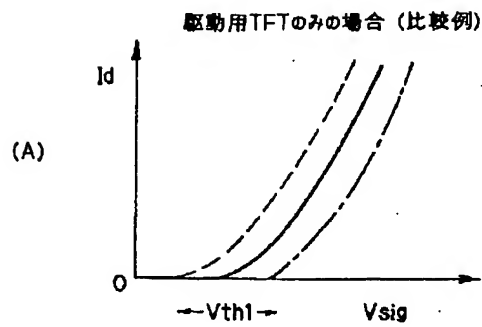
[Drawing 1]



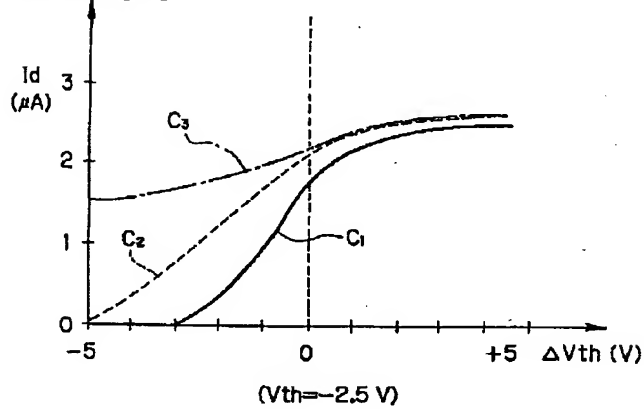
[Drawing 2]



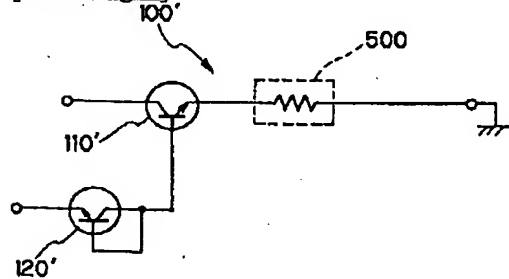
[Drawing 3]



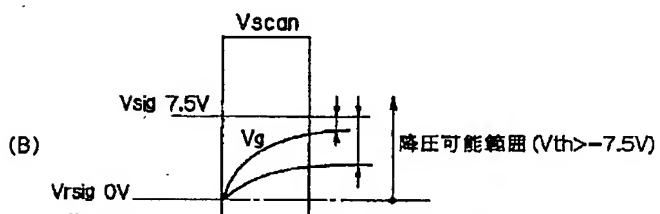
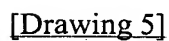
[Drawing 4]



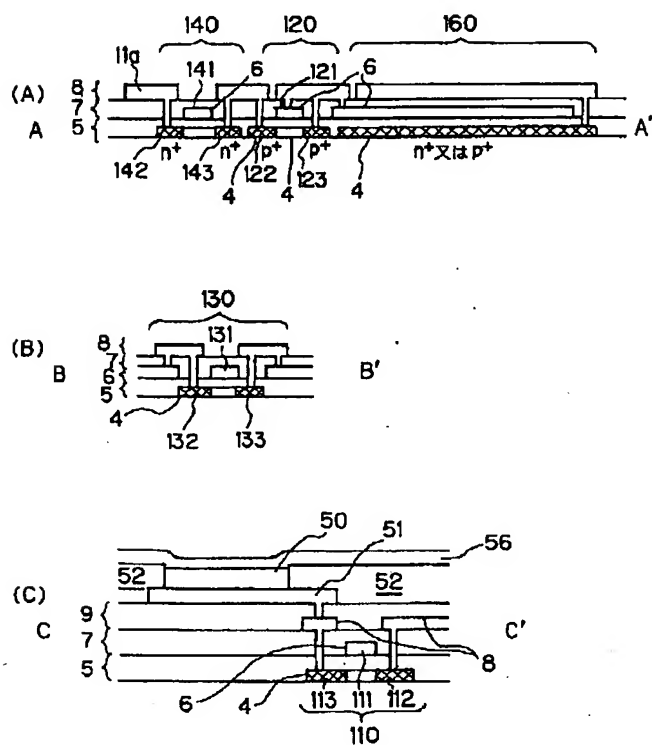
[Drawing 6]



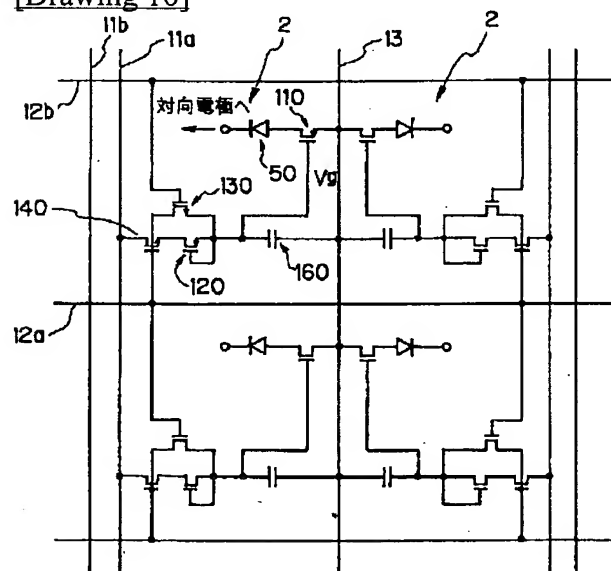
[Drawing 7]



5/18/2006

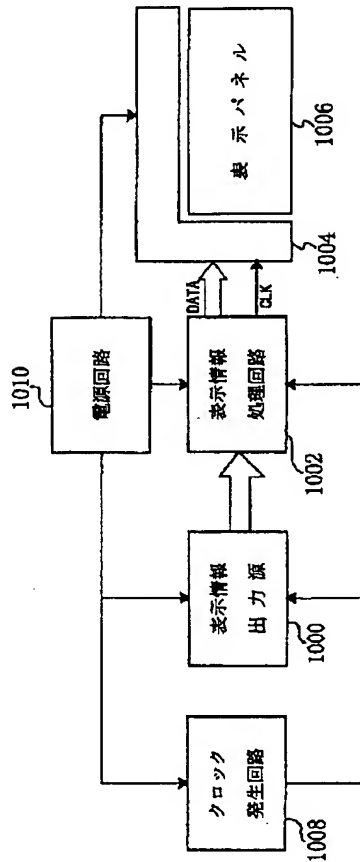


[Drawing 10]



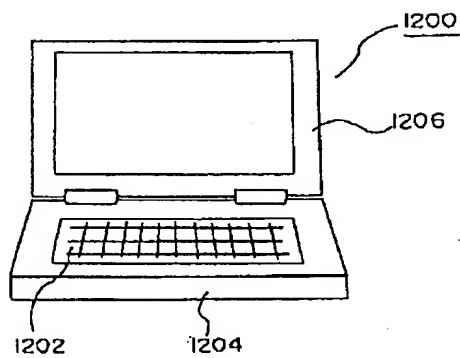
[Drawing 11]

電子機器の概要構成を示すブロック図



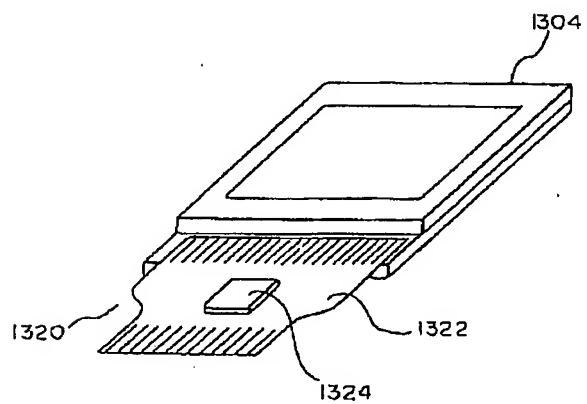
[Drawing 12]

パーソナルコンピュータの外観を示す正面図



[Drawing 13]

TCPを用いた表示装置の外観を示す斜視図



[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CORRECTION OR AMENDMENT

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law
 [Section partition] The 2nd partition of the 6th section
 [Publication date] September 9, Heisei 16 (2004. 9.9)

[Publication No.] JP, 11-272233, A
 [Date of Publication] October 8, Heisei 11 (1999. 10.8)
 [Application number] Japanese Patent Application No. 10-69147
 [The 7th edition of International Patent Classification]

G09G 3/30
 G02F 1/136
 G09G 3/20
 H01L 29/786

[FI]

G09G 3/30 J
 G02F 1/136 500
 G09G 3/20 624 B
 H01L 29/78 614

[Procedure revision]
 [Filing Date] August 29, Heisei 15 (2003. 8.29)
 [Procedure amendment 1]
 [Document to be Amended] Specification
 [Item(s) to be Amended] The name of invention
 [Method of Amendment] Modification
 [The contents of amendment]
 [Title of the Invention] An array substrate, a transistor circuit, a display panel, and electronic equipment
 [Procedure amendment 2]
 [Document to be Amended] Specification
 [Item(s) to be Amended] Claim
 [Method of Amendment] Modification
 [The contents of amendment]
 [Claim(s)]
 [Claim 1]
 Two or more scanning lines,
 Two or more data lines,
 Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,
 Each of two or more of said transistor circuits,
 It has the 1st gate, the 1st source, and the 1st drain, and the transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal supplied to said 1st gate is included,
 In case said input signal is supplied to said 1st gate through the data line which corresponds among said two or more data lines, dispersion in the threshold of said transistor for a drive is compensated,

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_eje?u=http%3A%2F%2Fwww4.ipdl.ncipi.... 5/18/2006

The array substrate by which it is characterized.

[Claim 2]

Two or more scanning lines,

Said two or more data lines,

Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,

Each of two or more of said transistor circuits,

The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate,

It had the transistor for compensation which it has the 2nd gate, the 2nd source, and the 2nd drain, and said 2nd gate reaches on the other hand among said 2nd source and said 2nd drain, and is connected to said 1st gate,

The array substrate by which it is characterized.

[Claim 3]

Two or more scanning lines,

Said two or more data lines,

Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,

Each of two or more of said transistor circuits,

The transistor for a drive by which the conductance between this 1st source and the 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate,

It had the transistor for compensation which has the 2nd gate, the 2nd source, and the 2nd drain and by which said 2nd gate is connected to said 1st gate,

The array substrate by which it is characterized.

[Claim 4]

In an array substrate according to claim 2 or 3,

Both said transistor for a drive and said transistor for compensation are an N channel mold,

The array substrate by which it is characterized.

[Claim 5]

In an array substrate according to claim 2 or 3,

Both said transistor for a drive and said transistor for compensation are a P channel mold,

The array substrate by which it is characterized.

[Claim 6]

In an array substrate according to claim 2 to 5,

The threshold of said transistor for a drive and the threshold of said transistor for compensation are in agreement,

The array substrate by which it is characterized.

[Claim 7]

It has the 1st gate, the 1st source, and the 1st drain, and the transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal supplied to said 1st gate is included,

In case said input signal is supplied to said 1st gate, dispersion in the threshold of said transistor for a drive is compensated,

The transistor circuit by which it is characterized.

[Claim 8]

In a transistor circuit according to claim 7,

It is that said 1st gate is reset by the predetermined electrical potential difference before said input signal is supplied,

The transistor circuit by which it is characterized.

[Claim 9]

Two or more scanning lines,

Two or more data lines,

Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,

Each of two or more of said transistor circuits,
 The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate,
 The light emitting device connected to either said 1st source and said 1st drain is included,
 Each of two or more of said transistor circuits is compensating dispersion in the threshold of said transistor for a drive, in case said input signal's is supplied to said 1st gate through the data line which corresponds among said two or more data lines,
 The display panel by which it is characterized.

[Claim 10]

Two or more scanning lines,
 Two or more data lines,
 Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,
 Each of two or more of said transistor circuits,
 The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate,
 The current drive mold component connected to either said 1st source and said 1st drain is included,
 Each of two or more of said transistor circuits is compensating dispersion in the threshold of said transistor for a drive, in case said input signal's is supplied to said 1st gate through the data line which corresponds among said two or more data lines,
 The display panel by which it is characterized.

[Claim 11]

Two or more scanning lines,
 Said two or more data lines,
 Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,
 Each of two or more of said transistor circuits,
 The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate,
 The light emitting device connected to either said 1st source and said 1st drain,
 It has the 2nd gate, the 2nd source, and the 2nd drain, and said 2nd gate was equipped with the transistor for compensation which said 2nd source and said 2nd drain reach on the other hand, and is connected to said 1st gate,
 The display panel by which it is characterized.

[Claim 12]

Two or more scanning lines,
 Said two or more data lines,
 Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included,
 Each of two or more of said transistor circuits,
 The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate,
 The light emitting device connected to either said 1st source and said 1st drain,
 It had the transistor for compensation which has the 2nd gate, the 2nd source, and the 2nd drain and by which said 2nd gate is connected to said 1st gate,
 The display panel by which it is characterized.

[Claim 13]

In a display panel according to claim 9 to 12,
 It is that said 1st gate is reset by the predetermined electrical potential difference before said input signal is supplied,

The display panel by which it is characterized.

[Claim 14]

In a display panel according to claim 9 to 13,
 Furthermore, the thing equipped with the resetting means which supplies a reset signal to said 1st gate before said input signal is supplied,
 The display panel by which it is characterized.

[Claim 15]

In a display panel according to claim 14,
 Said resetting means is a transistor for reset which has the 3rd gate established in each of two or more of said transistor circuits, the 3rd source, and the 3rd drain,
 Either said 3rd source or said 3rd drain is connected to said 1st gate,
 When a reset timing signal is supplied to said 3rd gate before supply of said input signal, said reset signal is supplied to said 1st gate through said 3rd source and said three drains,
 The display panel by which it is characterized.

[Claim 16]

In a display panel according to claim 9 to 15,
 Each of two or more of said transistor circuits contains further the switching transistor which has the 4th gate, the 4th source, and the 4th drain,
 The scanning line corresponding to said 4th gate is connected among said two or more scanning lines,
 The display panel by which it is characterized.

[Claim 17]

In a display panel according to claim 9 to 16,
 Each of two or more of said transistor circuits is having had further the retention volume connected to said 1st gate,
 The display panel by which it is characterized.

[Claim 18]

In a display panel according to claim 9 to 17,
 All the transistors contained in said two or more transistor circuits are a thin film transistor,
 The display panel by which it is characterized.

[Claim 19]

Electronic equipment characterized by having a display panel according to claim 9 to 18.

[Claim 20]

An array substrate according to claim 1 to 6,
 Electronic equipment containing the current drive mold component connected to either said 1st source and said 1st drain.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0008

[Method of Amendment] Modification

[The contents of amendment]

[0008]

[Means for Solving the Problem]

The 1st array substrate of this invention Two or more scanning lines and two or more data lines, Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included. Each of two or more of said transistor circuits Have the 1st gate, the 1st source, and the 1st drain, and the transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal supplied to said 1st gate is included. In case said input signal is supplied to said 1st gate through the data line which corresponds among said two or more data lines, it is characterized by compensating dispersion in the threshold of said transistor for a drive. The 2nd array substrate of this invention Two or more scanning lines and said two or more data lines, Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included. Each of two or more of said transistor circuits The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate, It is characterized by having the transistor for compensation by which it has the 2nd gate, the 2nd source, and the 2nd drain, said 2nd source and said 2nd drain reach on the other hand, and said 2nd gate is connected to said 1st gate.

The 3rd array substrate of this invention Two or more scanning lines and said two or more data lines, Two

or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included. Each of two or more of said transistor circuits The transistor for a drive by which the conductance between this 1st source and the 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate, It has the 2nd gate, the 2nd source, and the 2nd drain, and is characterized by having the transistor for compensation by which said 2nd gate is connected to said 1st gate.

In the above-mentioned array substrate, both said transistor for a drive and said transistor for compensation may be N channel molds.

In the above-mentioned array substrate, both said transistor for a drive and said transistor for compensation may be P channel molds.

As for the threshold of said transistor for a drive, and the threshold of said transistor for compensation, in the above-mentioned array substrate, it is desirable that it is in agreement.

The transistor circuit of this invention has the 1st gate, the 1st source, and the 1st drain, and including the transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal supplied to said 1st gate, in case said input signal is supplied to said 1st gate, it is characterized by compensating dispersion in the threshold of said transistor for a drive.

In the above-mentioned transistor circuit, before said input signal is supplied, as for said 1st gate, being reset by the predetermined electrical potential difference is desirable.

The 1st display panel of this invention Two or more scanning lines and two or more data lines, Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included. Each of two or more of said transistor circuits The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate, The light emitting device connected to either said 1st source and said 1st drain is included. Each of two or more of said transistor circuits In case said input signal is supplied to said 1st gate through the data line which corresponds among said two or more data lines, it is characterized by compensating dispersion in the threshold of said transistor for a drive.

In the above-mentioned display panel, you may be a current drive mold component instead of said light emitting device.

The 2nd display panel of this invention Two or more scanning lines and said two or more data lines, Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included. Each of two or more of said transistor circuits The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate, The light emitting device connected to either said 1st source and said 1st drain, It has the 2nd gate, the 2nd source, and the 2nd drain, and is characterized by equipping said 2nd gate with the transistor for compensation which said 2nd source and said 2nd drain reach on the other hand, and is connected to said 1st gate.

The 3rd display panel of this invention Two or more scanning lines and said two or more data lines, Two or more transistor circuits prepared corresponding to the intersection of said two or more scanning lines and said two or more data lines are included. Each of two or more of said transistor circuits The transistor for a drive by which the conductance between said 1st source and said 1st drain is controlled according to the input signal which has the 1st gate, the 1st source, and the 1st drain, and is supplied to said 1st gate, It is characterized by having the light emitting device connected to either said 1st source and said 1st drain, and the transistor for compensation which has the 2nd gate, the 2nd source, and the 2nd drain and by which said 2nd gate is connected to said 1st gate.

In the above-mentioned display panel, before said input signal is supplied, said 1st gate may be made to be reset by the predetermined electrical potential difference.

In the above-mentioned display panel, further, before said input signal is supplied, you may have the resetting means which supplies a reset signal to said 1st gate.

In the above-mentioned display panel said resetting means It is the transistor for reset which has the 3rd gate established in each of two or more of said transistor circuits, the 3rd source, and the 3rd drain. Either said 3rd source or said 3rd drain is connected to said 1st gate. When a reset timing signal is supplied to said 3rd gate before supply of said input signal, said reset signal may be made to be supplied to said 1st gate through said 3rd source and said three drains.

In the above-mentioned display panel, it is desirable to connect with the scanning line with which said 4th

gate corresponds among said two or more scanning lines including the switching transistor in which each of two or more of said transistor circuits has the 4th gate, the 4th source, and the 4th drain further.

In the above-mentioned display panel, each of two or more of said transistor circuits may be further equipped with the retention volume connected to said 1st gate.

In the above-mentioned display panel, all the transistors contained in said two or more transistor circuits may be thin film transistors.

The 1st electronic equipment of this invention is characterized by having the above-mentioned display panel.

The 2nd electronic equipment of this invention is characterized by having the current driver element connected to either the above-mentioned array substrate, said 1st source and said 1st drain.

[Procedure amendment 4]

[Document to be Amended] Specification

[Item(s) to be Amended] 0009

[Method of Amendment] Modification

[The contents of amendment]

[0009]

In order that the transistor circuit of this invention may solve the above-mentioned technical problem, moreover, the 1st gate, The transistor for a drive by which the conductance between this 1st source and the 1st drain is controlled according to the electrical potential difference of the input signal which has the 1st source and the 1st drain and is supplied to this 1st gate, Have the 2nd gate, the 2nd source, and the 2nd drain, and this 2nd gate is connected to either this 2nd source or the 2nd drain. It is characterized by having the transistor for compensation which makes possible charge transfer of the direction which lowers said conductance to said 1st gate so that said input signal may be supplied to said 1st gate through this 2nd source and the 2nd drain and which was suitable, came out and was connected to said 1st gate.

According to the transistor circuit of this invention, the 2nd source of the transistor for compensation and one side of the 2nd drain are connected to the 1st gate of the transistor for a drive, and an input signal is supplied to the 1st gate of the transistor for a drive through these 2nd source and 2nd drain. And in the transistor for a drive, the conductance between the 1st source and the 1st drain is controlled according to the electrical potential difference of the input signal supplied to this 1st gate. Here, the 2nd gate is connected to the 2nd drain and the transistor for compensation is connected to the 1st gate with the sense which makes possible charge transfer of the direction which lowers the conductance between the 1st source and the 1st drain to the 1st gate. Namely, the transistor for compensation has diode characteristics, for example, if the transistor for a drive is an N channel mold, it can energize them only to the sense from the 1st gate to the source of an input signal. Or if the transistor for a drive is a P channel mold, it can energize to the sense from the source of an input signal to the 1st gate.

[Procedure amendment 5]

[Document to be Amended] Specification

[Item(s) to be Amended] 0010

[Method of Amendment] Modification

[The contents of amendment]

[0010]

For this reason, when an input signal is supplied to the transistor circuit concerned, as compared with the electrical potential difference of the input signal at the time of being inputted into the transistor for compensation, as for the gate voltage of the 1st gate, the pressure up only of the part of the threshold of the transistor for compensation will be carried out to the side to which the conductance of the transistor for a drive is raised. Therefore, in order to acquire desired conductance in the transistor for a drive, only the part of the threshold (electrical potential difference) of the transistor for compensation should supply the input signal of a low electrical potential difference through the transistor for compensation rather than the gate voltage corresponding to the conductance concerned. Thus, since only the part of the threshold (electrical potential difference) of the transistor for compensation can carry out the pressure up of the gate voltage to an input signal, as compared with the case where there is no transistor for compensation, it becomes possible to perform equivalent conductance control with the electrical potential difference of a lower input signal.

[Procedure amendment 6]

[Document to be Amended] Specification

[Item(s) to be Amended] 0011

[Method of Amendment] Modification

[The contents of amendment]

[0011]

Generally, this input signal is high frequency as compared with other signals in many cases, and if a lower input signal is sufficient as it and it will become, it can expect remarkable low-power-ization.

[Procedure amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0012

[Method of Amendment] Modification

[The contents of amendment]

[0012]

Furthermore, when carrying out the pressure up of the electrical potential difference of an input signal with the transistor for compensation in this way, and considering as the gate voltage in the 1st gate sees as the whole transistor circuit, only the threshold electrical potential difference of the transistor for compensation whose threshold of the input signal over the drive current which flows through the source and the drain by which conductance control is carried out in the transistor for a drive is a part for the pressure up from input voltage to [from the threshold electrical potential difference of the transistor for a drive] gate voltage is low. That is, in the threshold of the input voltage to a drive current, the threshold of the transistor for compensation and the threshold of the transistor for a drive serve as an offset form. Therefore, it becomes possible by bringing both threshold property and the volt ampere characteristic close to bring the threshold of the input signal over a drive current close to zero.

[Procedure amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0013

[Method of Amendment] Modification

[The contents of amendment]

[0013]

Furthermore, the threshold of the input signal as the whole transistor circuit can be brought close to a fixed value (zero) by making the threshold of the transistor for a drive, and the threshold of the transistor for compensation offset in the whole transistor circuit concerned in this way again, without being based on the size of the threshold of the transistor for a drive. namely, two or more thresholds -- difference -- if the threshold of the transistor for a drive in each transistor circuit and the transistor for compensation is close brought mutually, respectively when two or more transistor circuits concerned are created using the transistor for a drive, the difference of the threshold between each transistor circuit is smaller than the difference of the threshold of each transistor for a drive (the difference is almost lost ideally). (if both are ideally made in agreement) Therefore, in case two or more transistor circuits concerned are created, even if it uses two or more transistors for a drive from which two or more thresholds differ, dispersion in a threshold becomes possible [obtaining most or two or more transistor circuits which are not].

[Procedure amendment 9]

[Document to be Amended] Specification

[Item(s) to be Amended] 0014

[Method of Amendment] Modification

[The contents of amendment]

[0014]

The transistor circuit of this invention is characterized by having the resetting means which supplies the reset signal which has an electrical potential difference corresponding to the value of conductance higher than the peak price of said conductance controlled according to said input signal to said 1st gate before supply of said input signal in an above-mentioned transistor circuit.

[Procedure amendment 10]

[Document to be Amended] Specification

[Item(s) to be Amended] 0015

[Method of Amendment] Modification

[The contents of amendment]

[0015]

According to the transistor circuit of this invention, before supplying an input signal to the 1st gate of the transistor for a drive (or before supplying the following input signal after the input signal of 1 is supplied), the reset signal which has an electrical potential difference corresponding to the value of conductance higher

than the peak price of the conductance of the transistor for a drive controlled by the resetting means by this 1st gate according to an input signal is supplied. Consequently, gate voltage of the transistor for a drive can be made into constant value by the resetting means, without being based on the size of the electrical-potential-difference value of an input signal, and it becomes possible to supply an input signal to the 1st gate through the transistor for compensation connected to the 1st gate with the sense which moreover makes possible charge transfer of the direction which lowers conductance after reset.

[Procedure amendment 11]

[Document to be Amended] Specification

[Item(s) to be Amended] 0016

[Method of Amendment] Modification

[The contents of amendment]

[0016]

Said reset signal is characterized by setting the transistor circuit of this invention as a large electrical potential difference rather than the maximum electrical potential difference of said input signal in an above-mentioned transistor circuit more than the threshold electrical-potential-difference part of said transistor for compensation.

[Procedure amendment 12]

[Document to be Amended] Specification

[Item(s) to be Amended] 0017

[Method of Amendment] Modification

[The contents of amendment]

[0017]

According to the transistor circuit of this invention, the reset signal of a larger electrical potential difference than an input signal is supplied to the 1st gate of the transistor for a drive by the resetting means. And since the electrical potential difference of this reset signal is greatly set up more than the threshold electrical-potential-difference part of the transistor for compensation rather than the maximum electrical potential difference of an input signal, whenever an input signal is inputted after reset, it can supply the electrical potential difference of the transistor for a drive high by the threshold electrical potential difference to the 1st gate of the transistor for a drive through the transistor for compensation rather than the electrical potential difference of that input signal ** [according to / the size of the electrical potential difference of an input signal, or the size of the threshold of the transistor for a drive].

[Procedure amendment 13]

[Document to be Amended] Specification

[Item(s) to be Amended] 0018

[Method of Amendment] Modification

[The contents of amendment]

[0018]

The transistor circuit of this invention is set to an above-mentioned transistor circuit. Said resetting means Have the 3rd gate, the 3rd source, and the 3rd drain, and either this 3rd source or the 3rd drain is connected to said 1st gate. When a reset timing signal is supplied to this 3rd gate before supply of said input signal, it is characterized by having the transistor for reset which supplies said reset signal to said 1st gate through this 3rd source and the 3rd drain.

[Procedure amendment 14]

[Document to be Amended] Specification

[Item(s) to be Amended] 0019

[Method of Amendment] Modification

[The contents of amendment]

[0019]

According to the transistor circuit of this invention, if a reset timing signal is supplied to the 3rd gate of the transistor for reset, a reset signal will be supplied to the 1st gate of the transistor for a drive through the 3rd source and 3rd drain by this transistor for reset. Consequently, the gate voltage of the transistor for a drive is resettable to constant value to the supply timing of a reset timing signal. Therefore, the actuation explained to the next above-mentioned transistor circuit is attained.

[Procedure amendment 15]

[Document to be Amended] Specification

[Item(s) to be Amended] 0020

[Method of Amendment] Modification

[The contents of amendment]

[0020]

The transistor circuit of this invention is characterized by said transistor for a drive and said transistor for compensation being transistors of the same mold in an above-mentioned transistor circuit.

[Procedure amendment 16]

[Document to be Amended] Specification

[Item(s) to be Amended] 0021

[Method of Amendment] Modification

[The contents of amendment]

[0021]

According to the transistor circuit of this invention, the transistor for a drive and the transistor for compensation are transistors of the same mold, but "the same mold" is mind whose transistor for compensation is also a P channel mold, if the transistor for compensation is also an N channel mold if the transistor for a drive is an N channel mold here, and the transistor for a drive is a P channel mold. Therefore, since the threshold of the transistor for compensation and the threshold of the transistor for a drive become almost equal to mutual, it also becomes possible to perform conductance control, being able to come in the transistor circuit concerned, and offsetting the threshold of****, and it suiting, consequently using the threshold of the input signal over a drive current as about 0. Furthermore, also when two or more transistor circuits are constituted from two or more transistors for a drive in which the threshold differed, it also becomes possible to compensate dispersion in a threshold.

[Procedure amendment 17]

[Document to be Amended] Specification

[Item(s) to be Amended] 0022

[Method of Amendment] Modification

[The contents of amendment]

[0022]

Moreover, design values including the channel width of a transistor and channel length, device structure, process conditions, etc. are with the transistor for a drive, and the transistor for compensation, and the more perfect compensation of them is attained by making it equal.

[Procedure amendment 18]

[Document to be Amended] Specification

[Item(s) to be Amended] 0023

[Method of Amendment] Modification

[The contents of amendment]

[0023]

In an above-mentioned transistor circuit, the transistor circuit of this invention is characterized by having further the transistor for switching connected so that said input signal might be supplied to said transistor for compensation through this 4th source and the 4th drain, when it has the 4th gate, the 4th source, and the 4th drain and a switching timing signal is supplied to this 4th gate.

[Procedure amendment 19]

[Document to be Amended] Specification

[Item(s) to be Amended] 0024

[Method of Amendment] Modification

[The contents of amendment]

[0024]

According to the transistor circuit of this invention, if a switching timing signal is supplied to the 4th gate of the transistor for switching, an input signal will be supplied to the transistor for compensation through the 4th source and the 4th drain of this transistor for switching. Consequently, an input signal can be supplied to the transistor for a drive to the supply timing of a switching timing signal.

[Procedure amendment 20]

[Document to be Amended] Specification

[Item(s) to be Amended] 0025

[Method of Amendment] Modification

[The contents of amendment]

[0025]

The transistor circuit of this invention is characterized by having further the retention volume connected to said 1st gate in an above-mentioned transistor circuit.

[Procedure amendment 21]

[Document to be Amended] Specification

[Item(s) to be Amended] 0026

[Method of Amendment] Modification

[The contents of amendment]

[0026]

According to the transistor circuit of this invention, if an input signal is supplied to the 1st gate, the electrical potential difference will be held with the retention volume connected to this one gate. Therefore, also when only a fixed period supplies an input signal, it becomes possible to hold the electrical potential difference built over the 1st gate for a period longer than it.

[Procedure amendment 22]

[Document to be Amended] Specification

[Item(s) to be Amended] 0027

[Method of Amendment] Modification

[The contents of amendment]

[0027]

With this configuration, even when leakage current is in the transistor for switching through the transistor for compensation, it becomes possible to reduce change of the potential impressed to the 1st gate.

[Procedure amendment 23]

[Document to be Amended] Specification

[Item(s) to be Amended] 0028

[Method of Amendment] Modification

[The contents of amendment]

[0028]

The transistor circuit of this invention is characterized by said transistor consisting of thin film transistors formed on the same substrate, respectively in an above-mentioned transistor circuit.

[Procedure amendment 24]

[Document to be Amended] Specification

[Item(s) to be Amended] 0029

[Method of Amendment] Modification

[The contents of amendment]

[0029]

According to the transistor circuit of this invention, the effect the current potential property and threshold property in the thin film transistor for a drive formed on the same substrate affect a drive current can be compensated by the thin film transistor for compensation. If both thin film transistors are especially formed with the same film formation process on the same substrate, since the degree like the characteristic class between both transistors generally increases, dispersion in a current potential property or a threshold property will become possible [obtaining few transistor circuits of two or more on the same substrate].

[Procedure amendment 25]

[Document to be Amended] Specification

[Item(s) to be Amended] 0030

[Method of Amendment] Modification

[The contents of amendment]

[0030]

In the above-mentioned transistor circuit, as for the transistor circuit of this invention, said gate, the source, and a drain consist of bipolar transistors corresponding to the base, a collector, and an emitter, respectively, as for said transistor.

[Procedure amendment 26]

[Document to be Amended] Specification

[Item(s) to be Amended] 0031

[Method of Amendment] Modification

[The contents of amendment]

[0031]

According to the transistor circuit of this invention, the effect the current potential property and threshold

property in the bipolar transistor for a drive affect a drive current can be compensated by the bipolar transistor for compensation. If both bipolar transistors are especially manufactured by the same production process, since the degree like the characteristic class between both transistors generally increases, dispersion in a current potential property or a threshold property will become possible [obtaining few transistor circuits of two or more].

[Procedure amendment 27]

[Document to be Amended] Specification

[Item(s) to be Amended] 0032

[Method of Amendment] Modification

[The contents of amendment]

[0032]

The transistor circuit of this invention is a voltage signal with which, as for said input signal, an electrical potential difference is controlled by the source of an input signal in an above-mentioned transistor circuit, either said 1st source or the 1st drain is connected to the current control mold component, and said transistor for a drive is characterized by controlling the current which flows for this current control mold component by controlling said conductance.

[Procedure amendment 28]

[Document to be Amended] Specification

[Item(s) to be Amended] 0033

[Method of Amendment] Modification

[The contents of amendment]

[0033]

If the voltage signal with which an electrical potential difference is controlled by the source of an input signal is supplied through the transistor for compensation as an input signal according to the transistor circuit of this invention, in the transistor for a drive, the conductance between the 1st source and the 1st drain will be controlled according to electrical-potential-difference change of this voltage signal. Thereby, current control of the current control mold component connected to either the 1st source or the 1st drain is carried out. Therefore, it also becomes possible for precision to improve two or more current drive mold components current control according to the electrical potential difference of a voltage signal, without becoming possible to carry out a current drive with the input signal of a low battery, and moreover depending a current control mold component on dispersion in the current potential property between two or more transistors for a drive, or a threshold property comparatively.

[Procedure amendment 29]

[Document to be Amended] Specification

[Item(s) to be Amended] 0034

[Method of Amendment] Modification

[The contents of amendment]

[0034]

The display panel of this invention is equipped with two or more picture element parts arranged in the shape of a matrix while it includes an above-mentioned transistor circuit, respectively, and it is characterized by preparing a current control mold light emitting device in these two or more picture element parts as said current control mold component, respectively.

[Procedure amendment 30]

[Document to be Amended] Specification

[Item(s) to be Amended] 0035

[Method of Amendment] Modification

[The contents of amendment]

[0035]

If an input signal is supplied through the transistor for compensation, since current control of the current control mold light emitting device will be carried out in each picture element part by the transistor for a drive according to the electrical potential difference of this input signal according to the display panel of this invention The brightness (brightness) of a current control mold light emitting device can be controlled with a sufficient precision, it crosses all over the screen-display field of a display panel, without being based on dispersion in the current potential property between the transistors for a drive, or a threshold property, and the unevenness of brightness can be reduced. Furthermore, it also becomes possible by carrying out the pressure up of the gate voltage of the transistor for a drive with the transistor for compensation to control a

current control mold light emitting device by the input signal of a low battery comparatively.

[Procedure amendment 31]

[Document to be Amended] Specification

[Item(s) to be Amended] 0036

[Method of Amendment] Modification

[The contents of amendment]

[0036]

An above-mentioned display panel may constitute electronic equipment.

[Procedure amendment 32]

[Document to be Amended] Specification

[Item(s) to be Amended] 0037

[Method of Amendment] Modification

[The contents of amendment]

[0037]

According to above-mentioned electronic equipment, since it has an above-mentioned display panel, the electronic equipment which it crosses all over a display panel and can also be driven being few and comparatively by the unevenness of brightness by the low battery is realizable.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-272233

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁵
G 0 9 G 3/30
G 0 2 F 1/136
G 0 9 G 3/20
H 0 1 L 29/786

識別記号

5 0 0
6 2 4

F I

G 0 9 G 3/30 J
G 0 2 F 1/136 5 0 0
G 0 9 G 3/20 6 2 4 B
H 0 1 L 29/78 6 1 4

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平10-69147
(22) 出願日 平成10年(1998)3月18日

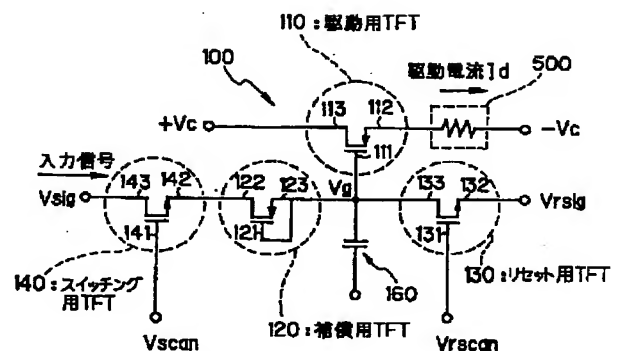
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 木村 睦
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 松枝 洋二郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)
最終頁に続く

(54) 【発明の名称】 トランジスタ回路、表示パネル及び電子機器

(57) 【要約】

【課題】 入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路において、比較的低電圧の入力信号により制御可能とし、且つ駆動用トランジスタのしきい値特性のばらつきを補償する。

【解決手段】 トランジスタ回路(100)は、ゲートに供給される入力信号の電圧に応じてソース及びドレイン間のコンダクタンスが制御される駆動用トランジスタ(110)と、ゲートがソース及びドレインの一方に接続されており、該ソース及びドレインを介して入力信号が駆動用トランジスタのゲートに供給されるように接続された補償用トランジスタ(120)とを備える。



【特許請求の範囲】

【請求項 1】 第 1 ゲート、第 1 ソース及び第 1 ドレインを有し、該第 1 ゲートに供給される入力信号の電圧に応じて該第 1 ソース及び第 1 ドレイン間のコンダクタンスが制御される駆動用トランジスタと、

第 2 ゲート、第 2 ソース及び第 2 ドレインを有し、該第 2 ゲートが該第 2 ソース及び第 2 ドレインの一方に接続されており、該第 2 ソース及び第 2 ドレインを介して前記入力信号が前記第 1 ゲートに供給されるように且つ前記第 1 ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第 1 ゲートに接続された補償用トランジスタとを備えたことを特徴とするトランジスタ回路。

【請求項 2】 前記第 1 ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする請求項 1 に記載のトランジスタ回路。

【請求項 3】 前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されたことを特徴とする請求項 2 に記載のトランジスタ回路。

【請求項 4】 前記リセット手段は、第 3 ゲート、第 3 ソース及び第 3 ドレインを有し、該第 3 ソース及び第 3 ドレインの一方が前記第 1 ゲートに接続されており、該第 3 ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第 3 ソース及び第 3 ドレインを介して前記リセット信号を前記第 1 ゲートに供給するリセット用トランジスタを備えたことを特徴とする請求項 2 又は 3 に記載のトランジスタ回路。

【請求項 5】 前記駆動用トランジスタと前記補償用トランジスタとは、同一型のトランジスタであることを特徴とする請求項 1 から 4 のいずれか一項に記載のトランジスタ回路。

【請求項 6】 第 4 ゲート、第 4 ソース及び第 4 ドレインを有し、該第 4 ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第 4 ソース及び第 4 ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする請求項 1 から 5 のいずれか一項に記載のトランジスタ回路。

【請求項 7】 前記第 1 ゲートに接続された保持容量を更に備えたことを特徴とする請求項 1 から 6 のいずれか一項に記載のトランジスタ回路。

【請求項 8】 前記トランジスタは夫々、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする請求項 1 から 7 のいずれか一項に記載のトランジスタ回路。

【請求項 9】 前記トランジスタは夫々、前記ゲート、

ソース及びドレインがベース、エミッタ及びコレクタに夫々対応するバイポーラトランジスタから構成されていることを特徴とする請求項 1 から 7 のいずれか一項に記載のトランジスタ回路。

【請求項 10】 前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第 1 ソース及び第 1 ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする請求項 1 から 9 のいずれか一項に記載のトランジスタ回路。

【請求項 11】 請求項 10 に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が前記電流制御型素子として該複数の画素部に夫々設けられたことを特徴とする表示パネル。

【請求項 12】 請求項 11 に記載の表示パネルを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下 T F T と称す）、電界効果型トランジスタ、バイポーラトランジスタなどのトランジスタを複数備えて構成されるトランジスタ回路の技術分野に属し、特にゲートに供給される電圧に応じてソース及びドレイン間のコンダクタンスを制御することにより、該ソース及びドレインを介して電流制御型（電流駆動型）素子等の被駆動素子に供給される駆動電流を制御する駆動用トランジスタを備えて構成されるトランジスタ回路の技術分野に属する。

【0002】

【従来の技術】一般に、トランジスタには、半導体膜の膜質、膜厚、不純物濃度や拡散領域、ゲート絶縁膜等の膜質、膜厚、動作温度などの各種条件に応じて、その電圧電流特性やしきい値には大なり小なりばらつきが生じる。クリスタルシリコンを用いたバイポーラトランジスタの場合には、このようなしきい値のばらつきは比較的小さいが、T F T の場合には、このようなばらつきは大きいのが通常である。特に、液晶パネル、E L パネル等の表示パネルなどにおいて T F T アレイ基板上で広範囲に渡って多数形成される T F T の場合には、このような電圧電流特性やしきい値のばらつきが非常に大きくなることが多い。例えば、この種の T F T のしきい値を 2 V（ボルト）程度（N チャネルで + 2 V、P チャネルで - 2 V）となるように製造しても、そのばらつきは士数 V 程度になったりする。

【0003】ここで、所謂 T F T 液晶パネル等の場合のように液晶等からなる画素部を電圧制御する電圧制御（電圧駆動）方式の場合には、各画素部に設けられた駆

動用 T F T における電圧電流特性やしきい値のばらつきが問題となることは比較的少ない。即ちこの場合には、たとえ T F T の電流電圧特性やしきい値に多少のばらつきがあったとしても、十分なスイッチング時間さえ与えれば、外部から T F T を介して各画素部に供給する電圧の精度を高めることにより、各画素部における表示濃度や明るさを精度良く制御できるからである。従って、各画素部での表示濃度や明るさのむらが重要視される表示用の T F T 液晶パネル等においても、電流電圧特性やしきい値のばらつきが比較的大きい T F T を用いて、高品位の画像表示等を行える。

【0004】他方で近年、電流供給量に応じて明るさが変化するように自発光する有機 E L 等の電流制御型発光素子を画素部に備えた表示パネルが開発されており、バックライトや反射光を利用せずに画像表示が可能であり、消費電力が低く、しかも視野角依存性が少なく、また時には可曲性を実現する表示パネルとして注目されている。この E L パネルの場合にも、アクティブマトリクス駆動を行うためには、各画素部において駆動用 T F T が用いられる。例えば、駆動用 T F T のドレインが正孔注入用電極を介して E L 素子に接続され、ゲートに印加されるデータ信号の電圧に応じて、ソースに接続された電源配線から E L 素子に供給される駆動電流を制御する（変化させる）ように構成されている。このように駆動用 T F T を用いれば、入力信号の電圧変化に応じてソース及びドレイン間のコンダクタンスを制御することにより E L 素子を通る駆動電流を制御して、各画素部での明るさ（輝度）を変化させることが可能となり、画像表示等を行える。

【0005】

【発明が解決しようとする課題】しかしながら、特に上述した E L パネル等のように電流制御型素子の場合には、各画素部に設けられた駆動用 T F T における電圧電流特性やしきい値のばらつきが問題となる。即ち、この場合には、外部から駆動用 T F T に供給されるデータ信号の電圧精度を幾ら高めたとしても、駆動用 T F T における電圧電流特性やしきい値のばらつきがデータ信号に対する駆動電流のばらつきとしてそのまま現われるため、駆動電流の精度が低下してしまう。この結果、各画素部における明るさも駆動用 T F T のしきい値のばらつきに従ってばらついてしまうのである。そして、特に現在の低温ポリシリコン T F T の製造技術ではこのような電圧電流特性やしきい値のばらつきは、かなりの度合いで発生するため、この問題は実用上非常に大きい。

【0006】この問題に対して、電圧電流特性やしきい値のばらつきを低減するように各 T F T を製造しようとするれば、歩留まりの低下を招き、特に表示パネルのように多数の T F T を用いて構成する装置においては極端な歩留まりの低下を招いてしまい、低コスト化という一般的要請に反する。或いは、そのようなばらつきを低減す

るような T F T を製造することは不可能に近い。また、各 T F T における電流電圧特性やしきい値のばらつきを補償する回路を別途設けようとしても、やはり装置の複雑化や大型化更には消費電力の増加を招き、特に多数の T F T が高密度で配列された表示パネルにおいては、再び歩留まりの低下を招き、或いは近時の低消費電力化や装置の小型軽量化という要請に答えることが困難になることが予想される。

【0007】本発明は上述した問題点に鑑みなされたものであり、入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路であって、比較的低電圧の入力信号により当該コンダクタンス制御が可能であり、しかも駆動用トランジスタの電流電圧特性やしきい値特性のばらつきを、比較的少ない数のトランジスタを用いて比較的小さな電力消費により補償することが可能なトランジスタ回路、並びにこれを用いた表示パネル及び電子機器を提供することを課題とする。

【0008】

【課題を解決するための手段】請求項 1 に記載のトランジスタ回路は上記課題を解決するために、第 1 ゲート、第 1 ソース及び第 1 ドレインを有し、該第 1 ゲートに供給される入力信号の電圧に応じて該第 1 ソース及び第 1 ドレイン間のコンダクタンスが制御される駆動用トランジスタと、第 2 ゲート、第 2 ソース及び第 2 ドレインを有し、該第 2 ゲートが該第 2 ソース及び第 2 ドレインの一方に接続されており、該第 2 ソース及び第 2 ドレインを介して前記入力信号が前記第 1 ゲートに供給されるように且つ前記第 1 ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第 1 ゲートに接続された補償用トランジスタとを備えたことを特徴とする。

【0009】請求項 1 に記載のトランジスタ回路によれば、補償用トランジスタの第 2 ソース及び第 2 ドレインの一方が駆動用トランジスタの第 1 ゲートに接続されており、これらの第 2 ソース及び第 2 ドレインを介して、駆動用トランジスタの第 1 ゲートには入力信号が供給される。そして、駆動用トランジスタにおいて、この第 1 ゲートに供給される入力信号の電圧に応じて、第 1 ソース及び第 1 ドレイン間のコンダクタンスが制御される。ここで、補償用トランジスタは、第 2 ゲートが第 2 ドレインに接続されており、第 1 ゲートに対し第 1 ソース及び第 1 ドレイン間のコンダクタンスを低める方向の電荷移動を可能とする向きで第 1 ゲートに接続されている。即ち、補償用トランジスタは、ダイオード特性を有しており、例えば、駆動用トランジスタが N チャネル型であれば、その第 1 ゲートから入力信号源への向きにのみ通電可能である。或いは、駆動用トランジスタが P チャネル型であれば、入力信号源から第 1 ゲートへの向きに通電可能である。

【0010】このため、当該トランジスタ回路に入力信号を供給した際には、補償用トランジスタに入力される時点における入力信号の電圧と比較して、第1ゲートのゲート電圧は、補償用トランジスタのしきい値の分だけ駆動用トランジスタのコンダクタンスが高められる側に昇圧されることになる。従って、駆動用トランジスタにおいて所望のコンダクタンスを得るためには、当該コンダクタンスに対応するゲート電圧よりも補償用トランジスタのしきい値（電圧）の分だけ低い電圧の入力信号を補償用トランジスタを介して供給すればよいことになる。このように、補償用トランジスタのしきい値（電圧）の分だけ入力信号に対するゲート電圧を昇圧できるので、補償用トランジスタがない場合と比較して、より低い入力信号の電圧により同等のコンダクタンス制御を行うことが可能となる。

【0011】一般に、この入力信号は他の信号に比較して高周波数であることが多く、より低い入力信号でよいとなれば、かなりの低消費電力化が期待できる。

【0012】更に、このように補償用トランジスタにより入力信号の電圧を昇圧して第1ゲートにおけるゲート電圧とすることは、トランジスタ回路全体として見た場合、駆動用トランジスタにおいてコンダクタンス制御されるソース及びドレインを介して流れる駆動電流に対する入力信号のしきい値は、駆動用トランジスタのしきい値電圧から、入力電圧からゲート電圧への昇圧分である補償用トランジスタのしきい値電圧だけ低くなっている。即ち、駆動電流に対する入力電圧のしきい値中では、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは、相殺された形となっている。従って、両者のしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値を零に近付けることが可能となる。

【0013】更にまた、このように駆動用トランジスタのしきい値と補償用トランジスタのしきい値とを当該トランジスタ回路全体の中で相殺させることにより、駆動用トランジスタのしきい値の大小によらずにトランジスタ回路全体としての入力信号のしきい値を一定の値（ゼロ）に近付けることができる。即ち、複数のしきい値の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、各トランジスタ回路における駆動用トランジスタと補償用トランジスタのしきい値を夫々相互に近付ければ（理想的には両者を一致させれば）、各トランジスタ回路間におけるしきい値の差は、各駆動用トランジスタのしきい値の差よりも小さくなっている（理想的には差が殆どなくなっている）。従って、当該トランジスタ回路を複数作成する際に、複数のしきい値の異なる複数の駆動用トランジスタを用いたとしても、しきい値のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることが可能となる。

【0014】請求項2に記載のトランジスタ回路は、上

述した請求項1に記載のトランジスタ回路において、前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする。

【0015】請求項2に記載のトランジスタ回路によれば、駆動用トランジスタの第1ゲートに入力信号が供給される以前に（或いは、一の入力信号が供給された後に、次の入力信号が供給される以前に）、リセット手段によりこの第1ゲートに、入力信号に応じて制御される駆動用トランジスタのコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号が供給される。この結果、入力信号の電圧値の大小によらずに駆動用トランジスタのゲート電圧をリセット手段により一定値とすることができ、しかも、リセット後に、コンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続された補償用トランジスタを介して入力信号を第1ゲートに供給することが可能となる。

【0016】請求項3に記載のトランジスタ回路は、上述した請求項2又は3に記載のトランジスタ回路において、前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されたことを特徴とする。

【0017】請求項3に記載のトランジスタ回路によれば、リセット手段により駆動用トランジスタの第1ゲートに、入力信号よりも大きい電圧のリセット信号が供給される。しかも、このリセット信号の電圧は、入力信号の最大電圧よりも補償用トランジスタのしきい値電圧分以上大きく設定されているので、リセット後に入力信号が入力されると、入力信号の電圧の大小や駆動用トランジスタのしきい値の大小によらずに常に、その入力信号の電圧よりも駆動用トランジスタのしきい値電圧分だけ高い電圧を、補償用トランジスタを介して駆動用トランジスタの第1ゲートに供給することが出来る。

【0018】請求項4に記載のトランジスタ回路は、上述した請求項2に記載のトランジスタ回路において、前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする。

【0019】請求項4に記載のトランジスタ回路によれば、リセット用トランジスタの第3ゲートにリセットタイミング信号が供給されると、該リセット用トランジスタにより、その第3ソース及び第3ドレインを介して、リセット信号が駆動用トランジスタの第1ゲートに供給

10

20

30

40

50

される。この結果、駆動用トランジスタのゲート電圧をリセットタイミング信号の供給タイミングで一定値にリセットすることができる。従って、この後の、請求項2又は3記載のトランジスタ回路に対して説明した動作が可能となる。

【0020】請求項5に記載のトランジスタ回路は、上述した請求項1から4のいずれか一項に記載のトランジスタ回路において、前記駆動用トランジスタと前記補償用トランジスタとは、同一型のトランジスタであることを特徴とする。

【0021】請求項5に記載のトランジスタ回路によれば、駆動用トランジスタと補償用トランジスタとは、同一型のトランジスタであるが、ここに、「同一型」とは、駆動用トランジスタがNチャネル型であれば、補償用トランジスタもNチャネル型であり、駆動用トランジスタがPチャネル型であれば、補償用トランジスタもPチャネル型である意である。従って、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは相互にほぼ等しくなるため、当該トランジスタ回路内において、これららのしきい値は相殺しあい、この結果、駆動電流に対する入力信号のしきい値をほぼ零としてコンダクタンス制御を行うことも可能となる。更に、複数のトランジスタ回路を、しきい値のばらついた複数の駆動用トランジスタから構成した場合にも、しきい値のばらつきを補償することも可能となる。

【0022】また、トランジスタのチャネル幅、チャネル長を始めとする設計値、デバイス構造、プロセス条件等も、駆動用トランジスタと補償用トランジスタとで等しくすることにより、より完全な補償が可能となる。

【0023】請求項6に記載のトランジスタ回路は、上述した請求項1から5のいずれか一項に記載のトランジスタ回路において、第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする。

【0024】請求項6に記載のトランジスタ回路によれば、スイッチングタイミング信号がスイッチング用トランジスタの第4ゲートに供給されると、入力信号が、該スイッチング用トランジスタの第4ソース及び第4ドレインを介して補償用トランジスタに供給される。この結果、スイッチングタイミング信号の供給タイミングで入力信号を駆動用トランジスタに供給することができる。

【0025】請求項7に記載のトランジスタ回路は、上述した請求項1から6のいずれか一項に記載のトランジスタ回路において、前記第1ゲートに接続された保持容量を更に備えたことを特徴とする。

【0026】請求項7に記載のトランジスタ回路によれば、第1ゲートに入力信号が供給されるとその電圧は、

該1ゲートに接続された保持容量により保持される。従って、入力信号を一定期間だけ供給した場合にも、それよりも長い期間に亘って第1ゲートにかかる電圧を保持することが可能となる。

【0027】本構成では、補償用トランジスタを通じて、スイッチング用トランジスタにリーク電流がある場合でも、第1ゲートに印加される電位の変化を低減することが可能となる。

【0028】請求項8に記載のトランジスタ回路は、上述した請求項1から7のいずれか一項に記載のトランジスタ回路において、前記トランジスタは夫々、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする。

【0029】請求項8に記載のトランジスタ回路によれば、同一基板上に形成された駆動用薄膜トランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用薄膜トランジスタにより補償することが出来る。特に、両薄膜トランジスタを同一基板上に同一薄膜形成工程で形成すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を同一基板上で得ることが可能となる。

【0030】請求項9に記載のトランジスタ回路は、上述した請求項1から7のいずれか一項に記載のトランジスタ回路において、前記トランジスタは夫々、前記ゲート、ソース及びドレインがベース、コレクタ及びエミッタに夫々対応するバイポーラトランジスタから構成されている。

【0031】請求項9に記載のトランジスタ回路によれば、駆動用バイポーラトランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用バイポーラトランジスタにより補償することが出来る。特に、両バイポーラトランジスタを同一製造工程で製造すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を得ることが可能となる。

【0032】請求項10に記載のトランジスタ回路は、上述した請求項1から9のいずれか一項に記載のトランジスタ回路において、前記入力信号は、入力信号源により電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする。

【0033】請求項10に記載のトランジスタ回路によれば、入力信号源により電圧が制御される電圧信号が、入力信号として補償用トランジスタを介して供給されると、駆動用トランジスタにおいて、この電圧信号の電圧変化に応じて第1ソース及び第1ドレイン間のコンダクタンスが制御される。これにより、第1ソース及び第1

ドレインの一方に接続された電流制御型素子は、電流制御される。従って、電流制御型素子を比較的低電圧の入力信号で電流駆動することが可能となり、しかも、複数の駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流駆動型素子を電圧信号の電圧に応じて精度良く電流制御することも可能となる。

【0034】請求項11に記載の表示パネルは、上述した請求項10に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が前記電流制御型素子として該複数の画素部に夫々設けられたことを特徴とする。

【0035】請求項11に記載の表示パネルによれば、各画素部において、入力信号が補償用トランジスタを介して供給されると、駆動用トランジスタによりこの入力信号の電圧に応じて電流制御型発光素子は電流制御されるので、駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、電流制御型発光素子の明るさ（輝度）を精度良く制御することが出来、表示パネルの画面表示領域の全面に渡って明るさのむらを低減できる。更に、駆動用トランジスタのゲート電圧を補償用トランジスタにより昇圧することにより比較的低電圧の入力信号により電流制御型発光素子の制御を行うことも可能となる。

【0036】請求項12に記載の電子機器は、上述した請求項11に記載の表示パネルを備えたことを特徴とする。

【0037】請求項12に記載の電子機器によれば、上述した請求項11に記載の表示パネルを備えるので、表示パネルの全面に渡って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な電子機器を実現できる。

【0038】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0039】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0040】（トランジスタ回路） 先ず、本発明のトランジスタ回路の実施の形態について図1及び図2を参照して説明する。図1は、本実施の形態におけるトランジスタ回路の回路図であり、図2（A）及び（B）は夫々、該トランジスタ回路における各種信号のタイミング及び電圧を示したタイミングチャートである。

【0041】図1において、トランジスタ回路100は、駆動用TFT110（Pチャネル型）、補償用TFT120（Pチャネル型）、リセット用TFT130（Nチャネル型）及びスイッチング用TFT140（Nチャネル型）を備えて構成されている。以下各トランジスタの構成について順に説明する。

【0042】先ず、駆動用トランジスタの一例を構成す

る駆動用TFT110は、スイッチング用TFT140及び補償用TFT120を介して供給される入力信号に基づいてゲート111に印加されるゲート電圧 V_g に応じて、ソース112及びドレイン113間のコンダクタンスが制御されるように構成されている。

【0043】補償用トランジスタの一例を構成する補償用TFT120は、ゲート121がソース122及びドレイン123の一方（図1では、ドレイン123）に接続されている。即ち、補償用TFT120は所謂ダイオード接続されている。そして、補償用トランジスタ120は、ソース122及びドレイン123を介して、入力信号がゲート111に供給されるように且つゲート111に対しコンダクタンスを低める方向の電荷移動を可能とする向きで（図1では、ドレイン123の側が）ゲート111に接続されている。

【0044】リセット手段の一例を構成するリセット用TFT130は、ソース132及びドレイン133の一方（図1では、ドレイン133）がゲート111に接続されており、ゲート131にリセットタイミング信号の一例としての電圧 V_{rscan} のリセット走査信号（以下、リセット走査信号 V_{rscan} と称す）が入力信号 V_{sig} の供給前に供給された時に、ソース132及びドレイン133を介して電圧 V_{rsig} のリセット信号（以下、リセット信号 V_{rsig} と称す）をゲート111に供給するように構成されている。

【0045】また、スイッチングトランジスタの一例を構成するスイッチング用TFT140は、ゲート141にスイッチングタイミング信号の一例としての電圧 V_{scan} の走査信号（以下、走査信号 V_{scan} と称す）が供給された時に、電圧 V_{sig} の入力信号（以下、入力信号 V_{sig} と称す）をソース142及びドレイン143を介して補償用TFT120に供給するように入力信号源及び補償用TFT120の間に接続されている。

【0046】そして、駆動用トランジスタ110のソース112には、EL素子等の電流制御型（電流駆動型）素子500の一端が接続されており、この電流制御型素子500の他端には、所定電位の負電源 $-V_c$ が接続されている。また、駆動用トランジスタ110のドレイン113には、所定電位の正電源 $+V_c$ が接続されている。従って、駆動用トランジスタ110においてソース112及びドレイン113間のコンダクタンス制御が行われると、電流制御型素子500を流れる駆動電流 I_d が制御される（即ち、コンダクタンス変化に応じて駆動電流 I_d が変化する）。

【0047】更に、駆動用トランジスタ110のゲート111には、保持容量160が接続されている。このため、一旦印加されたゲート電圧 V_g は、保持容量160により保持される。

【0048】次に、以上のように構成されたトランジスタ回路100の動作について図1と共に図2及び図3を

参照して説明する。

【0049】図2(A)に示すように、リセット走査信号V_{rscan}がリセット用TFT130に入力されると、リセット用TFT130が導通状態とされて、駆動用TFT110のゲート111には、リセット信号V_{rsig}が供給されて、ゲート111のゲート電圧V_gは、このリセット信号V_{rsig}の電圧V_{rsig}にほぼ等しいレベルとされる。この結果、入力信号V_{sig}の電圧V_{sig}の大小によらずに駆動用TFT110のゲート電圧V_gをリセット走査信号V_{rsig}の供給タイミングで一定電圧(即ち、電圧V_{rsig})にリセットすることができる。

【0050】そして、このリセット期間が終わり、走査信号V_{scan}がスイッチング用TFT140に供給されると、スイッチング用TFT140が導通状態とされて、駆動用TFT110のゲート111には、補償用TFT120を介してデータ信号V_{sig}が供給される。ここで、本実施の形態では特に補償用TFT120においてゲート121がドレイン123に接続されているため(即ち、ダイオード接続されているため)、負電圧をゲート111に印加することで道通状態とされるPチャンネル型TFTである駆動用TFT110におけるゲート電圧V_gは、データ信号V_{sig}の電圧V_{sig}よりも補償用TFT120のしきい値電圧V_{th2}だけ負電圧側に降圧される。そして、このように降圧されたゲート電圧V_gは、走査信号V_{scan}や入力信号V_{sig}の供給停止後も、保持容量160により駆動期間中保持される。

【0051】尚、リセット期間としては、ゲート電圧V_gがリセット信号V_{rsig}の電圧V_{rsig}となる時間だけとれば十分である。このため、駆動期間をリセット期間よりも遥かに長く設定することができ、これにより、リセット期間中に駆動用TFT110がリセット信号V_{rsig}により道通状態とされても、この間に駆動用TFT110のソース112及びドレイン113を介して流れる電流の駆動電流I_dに対する影響を、無視できる程度に小さくできる。

【0052】以上のように本実施の形態によれば、補償用TFT120のしきい値電圧V_{th2}の分だけ入力信号V_{sig}に対するゲート電圧V_gを降圧できるので、補償用TFT120がない場合と比較して、より低い入力信号V_{sig}の電圧V_{sig}を用いて同等のコンダクタンス制御を駆動用TFT110において行うことが可能となる。

【0053】尚、図2(B)は、駆動用TFT110及び補償用TFT120を共にNチャンネル型TFTから構成した場合のタイミングチャートであり、この場合には、正電圧をゲート111に印加することで道通状態とされるNチャンネル型TFTである駆動用TFT110におけるゲート電圧V_gは、リセット時にリセット信号V_{rsig}の電圧V_{rsig}とされた後、入力信号V_{sig}の電圧V_{sig}よりも補償用TFT120のしきい値電圧V_{th2}だけ正電圧側に昇圧される。

【0054】ここで、補償用TFT120を介することなく駆動用TFT110に入力信号V_{sig}を直接入力したとすると、即ち入力信号V_{sig}の電圧V_{sig}とゲート電圧V_gとが一致する場合には、図3(A)(これは駆動用TFT110がNチャンネルの場合である)に示すように、駆動電流I_dは、駆動用TFT110のしきい値電圧V_{th1}から立ち上がる特性を持つ。例えば、このしきい値電圧V_{th1}の設計基準値を2Vとすればしきい値のばらつきは±数V程度となる。そして、駆動用TFT110におけるしきい値電圧V_{th1}のばらつきがそのまま駆動電流I_dのばらつきとして現われる。

【0055】これに対し、本実施の形態では、補償用TFT120を介して駆動用TFT110に入力信号V_{sig}を入力するため、即ち入力信号V_{sig}の電圧V_{sig}を補償用TFT120のしきい値電圧V_{th2}の分だけ昇圧してゲート電圧V_gとする場合には、図3(B)(これは駆動用TFT110及び補償用TFT120が共にNチャンネルの場合である)に示すように、補償用TFT120のしきい値電圧V_{th2}と駆動用TFT110のしきい値電圧V_{th1}とが相殺されて、トランジスタ回路100全体に対する入力信号V_{sig}のしきい値電圧V_{th}は零に近付くのである。そして、特に両しきい値電圧V_{th1}とV_{th2}とがほぼ一致する場合には、このしきい値電圧V_{th}は、ほぼ零となる。このように、しきい値電圧V_{th1}とV_{th2}とを一致させることは、例えば同一半導体基板上の近接位置に駆動用TFT110と補償用TFT120とを同型TFTから構成することにより比較的簡単にできる。このように構成すれば、両方のTFTにおける、薄膜形成されるゲート絶縁膜、半導体膜等の膜厚や、チャンネル長等の各構成要素の平面形状や、チャンネル形成領域、ソース領域、ドレイン領域における不純物濃度や、動作時の温度状態などを容易に一致させることができるので、結局、両方のTFTのしきい値電圧V_{th1}とV_{th2}とを完全に又はほぼ完全に一致させることが出来るのである。尚、しきい値特性を近似させる上では、チャンネル長さは同じにする方が良いが、チャンネル幅は同じでなくても良い。

【0056】このように本実施の形態によれば、駆動用TFT110と補償用TFT120のしきい値特性や電圧電流特性を近付けることにより(理想的には一致させることにより)、駆動電流I_dに対する入力信号V_{sig}のしきい値電圧V_{th}を零に近付ける(理想的には零に一致させる)ことが可能となる。

【0057】更に、図3(A)及び図3(B)から判るように、複数のトランジスタ回路100を製造する場合には、各駆動用TFT110におけるしきい値電圧V_{th1}が相互にばらついたとしても、このしきい値電圧V_{th1}の大小によらずに、各補償用TFT120の作用により各トランジスタ回路100のしきい値電圧V_{th}は、零に近い値とされる。即ち、しきい値電圧V_{th}が一定の多数

のトランジスタ回路 100 を製造できることになる。これは、後述のように多数のトランジスタ回路 100 間におけるしきい値電圧 V_{th} のばらつきが問題となるような表示パネル用等の用途には特に役立つ。そして、各トランジスタ回路 100 において、相互に近接配置される一対の駆動用 TFT 110 のしきい値電圧 V_{th1} と補償用 TFT 120 のしきい値電圧 V_{th2} とを一致させることは、距離を隔てて別個に配置される二つの駆動用 TFT 110 のしきい値電圧 V_{th1} を一致させることよりも前述のように遥かに容易であるため、このように補償用 TFT 120 により各トランジスタ回路 100 におけるしきい値電圧 V_{th1} を補償する構成は、複数のトランジスタ回路 100 相互間のしきい値電圧 V_{th} のばらつきを低減させるためには極めて効果的であると言える。

【0058】 以上のように本実施の形態によれば、トランジスタ回路 100 を複数作成する際に、しきい値電圧 V_{th1} の相異なる複数の駆動用 TFT 110、即ち設計基準値としてのしきい値電圧（例えば、2.5V）から大きくばらついたりしきい値電圧 V_{th1} を夫々持つ複数の駆動用 TFT 110 を用いたとしても、しきい値電圧 V_{th} のばらつきが殆ど又は全くない複数のトランジスタ回路 100 を得ることが可能となる。このため、電流電圧特性について TFT に要求される条件が緩くなり、歩留まりの向上及び製造コストの低減を図ることができる。

【0059】 尚、図 3 (A) 及び図 3 (B) から判るように、しきい値電圧 V_{th1} 及び V_{th2} を一致させることにより、各駆動用 TFT 110 におけるコンダクタンス制御を入力信号 V_{sig} の電圧 V_{sig} よりも高いゲート電圧 V_g を用いて行えるという第 1 の効果、及び複数のトランジスタ回路 100 間におけるしきい値電圧 V_{th} のばらつきを低減するという第 2 の効果は、顕著に発揮されるが、各トランジスタ回路 100 において駆動用 TFT 110 のしきい値電圧 V_{th1} と補償用 TFT 120 のしきい値電圧 V_{th2} とを完全に一致させなくとも、両しきい値電圧は相殺しあう性質をもつので、両しきい値電圧の類似性に応じた程度でこれらの第 1 及び第 2 の効果は発揮される。

【0060】 本実施の形態では特に、ゲート 111 に対し入力信号 V_{sig} に応じて制御されるコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号 V_{rsig} を供給するように構成されている。従って、入力信号 V_{sig} の電圧値 V_{sig} の大小によらずにリセット後に、このコンダクタンスを低める方向の電荷移動を可能とする向きでゲート 111 に接続された補償用 TFT 120 を介して入力信号 V_{sig} をゲート 111 に供給することが可能となる。しかも本実施の形態では、リセット信号 V_{rsig} は、入力信号 V_{sig} の最大電圧よりも補償用 TFT 120 のしきい値電圧 V_{th2} 分以上大きい電圧に設定されている。従って、リセット後に入力信号 V_{sig} が入力されると、入力信号 V_{sig} の電圧

V_{sig} の大小や補償用 TFT 120 のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧 V_{sig} よりも補償用 TFT 120 のしきい値電圧 V_{th2} 分だけ高い電圧を、ゲート 111 に供給することが出来るのである。

【0061】 尚、従来の液晶表示素子で良く用いられている、入力信号 V_{sig} の反転が行われる場合には、反転した入力信号も含めた全ての入力信号 V_{sig} に対しても、上記のリセット信号 V_{rsig} の関係が成り立つことが望ましい。

【0062】 このリセット信号 V_{rsig} の電圧設定による効果について図 4 及び図 5 を参照して検討を加える。ここで、図 4 は、しきい値の設計基準値を例えば -2.5V としてその基準値からのしきい値電圧のばらつき ΔV_{th} に対する駆動電流 I_d の変化を、(1) 補償用 TFT 120 無しで駆動用 TFT 110 に直接入力信号 V_{sig} を供給した場合（特性曲線 C1）、(2) リセット信号 V_{rsig} を 5V として補償用 TFT 120 を介して駆動用 TFT 110 に入力信号 V_{sig} を供給した場合（特性曲線 C2）、及び (3) リセット信号 V_{rsig} を 0V として補償用 TFT 120 を介して駆動用 TFT 110 に入力信号 V_{sig} を供給した場合（特性曲線 C3）について夫々示したものである。また、図 5 (A) は、特性曲線 C2 に対応するゲート電圧 V_g の変動範囲を示し、図 5 (B) は、特性曲線 C3 に対応するゲート電圧 V_g の変動範囲を示す。なお、ここで、 $V_{sig} = 7.5V$ 、 $+V_c = 10V$ 、 $-V_c = 5V$ としている。

【0063】 図 4 において、特性曲線 C1 で示したように、補償用 TFT 120 無しの場合には、しきい値電圧のばらつき ΔV_{th} が、そのまま駆動電流 I_d のばらつきとして顕著に現われている。

【0064】 特性曲線 C2 で示したように、リセット信号 V_{rsig} を 5V として補償用 TFT を用いた場合には、しきい値電圧のばらつき ΔV_{th} が、プラス側ではかなり補償されているが、マイナス側では、駆動電流 I_d のばらつきとして現われている。これは、図 5 (A) に示すようにマイナス側では、リセット後に入力信号 V_{sig} が入力されたとき、ゲート電圧 V_g を、入力信号 V_{sig} よりも、しきい値電圧 V_{th2} の分だけ負電圧側に降圧する（補償する）ことができないためである。何故なら、ダイオードである補償用 TFT 120 は、ゲート電圧 V_g をリセット信号 V_{rsig} から入力信号 V_{sig} へ近付けることは出来ても遠ざけることは出来ないからである。

【0065】 また、特性曲線 C3 で示したように、リセット信号 V_{rsig} を 0V として補償用 TFT を用いた場合には、しきい値電圧のばらつき ΔV_{th} が、駆動電流 I_d のばらつきとして殆ど現われていない。これは、図 5 (B) に示すように、リセット後に入力信号 V_{sig} が入力されたとき、ゲート電圧 V_g を、入力信号 V_{sig} よりも、しきい値電圧 V_{th} の分だけ負電圧側に降圧する（補

償する) ことができるためである。なお、ここで与えた $V_{sig}=7.5V$ は、入力信号 V_{sig} の最小電位だと考えれば、全ての V_{sig} に対して補償できるかということに対して、上記考察が成り立つ。

【0066】 以上のように本実施の形態では、入力電圧 V_{sig} の大小や補償用 TFT110 のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧よりも補償用 TFT120 のしきい値電圧 V_{th2} 分だけ低い電圧 V_g を、駆動用 TFT110 のゲート111に印加することが出来るのである。

【0067】 尚、図2(A)及び図2(B)において、ゲート電圧 V_g は駆動期間中、保持容量160により保持される。このため、保持容量160により、複数のトランジスタ回路100間におけるゲート電圧 V_g の保持特性のばらつきをも低減(補償)することができる。

【0068】 以上図1から図5を用いて説明したように、本実施の形態のトランジスタ回路100によれば、EL素子等の電流制御型素子500を比較的低電圧の入力信号 V_{sig} で電流駆動することが可能となり、しかも、複数の駆動用 TFT110間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流制御型素子500を入力信号 V_{sig} の電圧に応じて精度良く電流制御することができる。

【0069】 尚、図1に示した例では、Pチャネル型 TFTとNチャネル型 TFTとを混ざって構成しているが、全ての TFTをNチャネル型 TFTから構成してもよいし、或いは、全ての TFTをPチャネル型 TFTから構成してもよい。但し、駆動用 TFT110の電流電圧特性やしきい値特性を補償用 TFT120で補償する観点からは、これらの駆動用 TFT110及び補償用 TFT120を同一工程により同型の TFTとして構成した方が有利である。特に、両 TFTを同一薄膜形成工程で形成すれば、両 TFT間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが全く又は殆どないトランジスタ回路100を同一基板上で得ることが可能となる。他方、リセット用 TFT130やスイッチング用 TFT140は、駆動用 TFT110がPチャネル型であるかNチャネル型であるかによらず、Pチャネル型でもNチャネル型でも構わない。但し、全ての TFTを同型の TFTとした方が製造上有利であることも多い。

【0070】 また、本実施の形態における各種の TFT110~140を、接合型、並列・直列接続等のいずれの種類の電界効果トランジスタ(FET)から構成してもよい。

【0071】 更に、図6に示すように、上述の如きトランジスタ回路をバイポーラトランジスタから構成してもよい。この場合、上述のゲート、ソース及びドレインをベース、エミッタ及びコレクタに夫々対応させて、バイポーラトランジスタから駆動用トランジスタ110'を

構成すると共にバイポーラトランジスタから補償用トランジスタ120'を構成して、トランジスタ回路100'とすればよい。一般にバイポーラトランジスタの場合には、しきい値電圧は、例えば0.7Vを中心として、そのばらつきはTFTと比較すると小さいが、このように構成しても、駆動用トランジスタ110'における電流電圧特性やしきい値特性のばらつきが駆動電流 I_d に及ぼす影響を補償用トランジスタ120'により補償することが出来る。更に、比較的低電圧で駆動用トランジスタ110'による駆動を行うことが出来る。特に、駆動用トランジスタ110'と補償用トランジスタ120'とを同一製造工程で製造すれば、これら両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが殆ど無い又は低減された多数のトランジスタ回路100'を得ることが可能となる。

【0072】 以上の実施の形態における電流制御型素子500としては、有機EL素子、無機EL素子等の電流制御型発光素子、電流制御型の熱転写素子など各種の素子が挙げられる。

【0073】 (表示パネル) 本発明の表示パネルの実施の形態について図7から図10を参照して説明する。図7は、表示パネルの全体構成を示すブロック図であり、図8は、表示パネルにおける一つの画素部の平面図であり、図9(A)、図9(B)及び図9(C)は夫々、そのA-A'断面図、B-B'断面図及びC-C'断面図であり、図10は、相隣接する4つの画素部の回路図である。

【0074】 本実施の形態における表示パネルは、上述した本発明のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備えており、該複数の画素部には、電流制御型発光素子の一例としてEL素子50が夫々設けられて構成されている。

【0075】 図7に示すように、表示パネル200は、TFTアレイ基板1を有し、該TFTアレイ基板1上において複数の画素部2がマトリクス状に配置された画面表示領域には、Y方向に夫々伸びておりX方向に配列された複数のデータ線11と、X方向に夫々伸びておりY方向に配列された複数の走査線12と、複数のデータ線11と平行に並べられた複数の共通給電線13とを備えている。表示パネル1は更に、画面表示領域の周囲に、各データ線11にデータ信号を供給するデータ線駆動回路21と、各走査線12に走査信号を供給する一対の走査線駆動回路22と、各画素部2における道通不良、絶縁不良、素子の欠陥等を検査するための検査回路23とを備えて構成されている。なお、本実施の形態では、各駆動回路は、TFTアレイ基板1上に画素部2と共通の工程で形成されているが、TFTアレイ基板1上にない回路とされてもよいし、又は画素部2と別の工程で形成されてもよい。

10

20

30

40

50

【0076】図8に示すように、各画素部2には、図1から図6を用いて説明した駆動用TFT110、補償用TFT120、リセット用TFT130、スイッチング用TFT140及び保持容量160が設けられている。そして、前段の走査線12bが図1におけるリセット走査信号Vrscan用の配線となり、当段の走査線12aが図1における走査信号Vscan用の配線及びリセット信号Vrsig用の配線となり、当段のデータ線11aが図1における入力信号Vsig（データ信号）用の配線となっている。更に、共通給電線13が正電源+Vに接続されており、EL素子50が駆動用TFT110と後述の対向電極との間に接続されており、該対向電極が負電源-Vに接続されている。

【0077】図9（A）に示すように、スイッチング用TFT140、補償用TFT120及び保持容量160は、図8のA-A'断面に沿って、TFTアレ基板1に半導体膜（ポリシリコン膜）4、酸化シリコン膜や窒化シリコン膜からなるゲート絶縁膜5、Ta（タンタル）膜6、酸化シリコン膜や窒化シリコン膜からなる第1層間絶縁膜7及びA1膜8から構成されている。尚、ゲート電極形成用のTa膜6の代わりに、低抵抗ポリシリコン膜を成膜してもよい。

【0078】より具体的には、スイッチング用TFT140は、ポリシリコン膜6からなるゲート141を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート141に対向する半導体層4部分をチャネル形成領域として、その両側にn型に高濃度ドーパされたソース142及びドレイン143を備えたNチャネル型のTFTとして構成されている。そして、ソース142は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホールを介してA1膜8からなるデータ線11aに接続されている。また、ドレイン143は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継して、補償用TFT120に接続されている。

【0079】補償用TFT120は、Ta膜6からなるゲート121を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート121に対向する半導体膜4部分をチャネル形成領域として、その両側にp型に高濃度ドーパされたソース122及びドレイン123を備えたPチャネル型のTFTとして構成されている。そして、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継してスイッチング用TFT140及び保持容量160並びに駆動用TFT110のゲート111に接続されている。

【0080】また、保持容量160は、2重のコンデンサ構成を有するように、半導体膜4、Ta膜6及びA1膜8が、ゲート絶縁膜5及び第1層間絶縁膜7を介して対向配置されて構成されている。そして保持容量を構成する半導体膜4部分は、ゲート絶縁膜5及び第1層間絶

縁膜7に開孔されたコンタクトホールを介してA1膜8に接続されており、保持容量を構成するTa膜6部分は、第1層間絶縁膜7に開孔されたコンタクトホールを介してA1膜8に接続されている。

【0081】図9（B）に示すように、リセット用TFT130は、図8のB-B'断面に沿って、TFTアレ基板上1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びA1膜8から構成されている。

【0082】より具体的には、リセット用TFT130は、Ta膜6からなるゲート131を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート131に対向する半導体層4部分をチャネル形成領域として、その両側にn型に高濃度ドーパされたソース132及びドレイン133を備えたNチャネル型のTFTとして構成されている。そしてソース132及びドレイン133は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継して、Ta膜6からなる当段の走査線12a及び駆動用TFT110のゲート111に夫々接続されている。

【0083】また、図9（C）に示すように、駆動用TFT110は、図8のC-C'断面に沿って、TFTアレ基板上1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びA1膜8から構成されている。そして、第2層間絶縁膜9上には、駆動用TFT110のドレイン113にコンタクトホール及びA1膜8を中継して接続されたITO膜51が形成され、その上にEL素子50が形成されている。他方、駆動用TFT110のソース112は、コンタクトホールを介してA1膜8からなる共通給電線13に接続されている。また、相隣接する画素部2におけるEL素子50は、電気絶縁性のバンク52により相隣接されている。好ましくは、バンク52は遮光性を持つものがよい。バンク52は、例えば、遮光性のレジストからなり、当該表示パネル200の画面表示領域の周囲を覆う周辺見切り領域にもバンク52を設けるようにしてもよい。そして、EL素子50上には、A1等の低抵抗金属或いはITO等からなる対向電極（上電極）56が設けられている。

【0084】図10に示すように、表示パネル200においては特に、共通給電線13によりX方向に相隣接した画素部2の双方に対して正電源+Vが供給される構成を採り、正電源+V供給用の電源配線を単純に画素部2の列毎に設ける場合と比較して、電源配線の数約1/2にしている。また、リセット用TFT130のゲート131に入力されるリセット走査信号Vrscanを前段の走査線12bにより供給し、リセット用TFT130に入力されるリセット信号Vrsigを当段の走査線12bにより供給する構成を採ることにより、リセット走査信号Vrscan専用の配線やリセット信号Vrsig専用の配線を設ける場合と比較して信号配線数を減らしている。このように電源配線数や信号配線数を増やさないようにす

ることにより、従来の表示パネルには設けられていない補償用 T F T 1 2 0 やリセット用 T F T 1 3 0 を設けるスペースを確保することができる。勿論、本実施の形態と違って、各画素毎に共通給電線を設けて、各画素毎にパターンを同じにしたものや、リセット走査信号 V r s c a n 専用の配線や、リセット信号 V r s i g 専用の配線を設けたものに対しても、本発明の思想は適用できる。

【0085】尚、本実施の形態のように電流駆動型発光素子である E L 素子 5 0 を用いた表示パネル 2 0 0 の場合には、例えば、液晶パネルのように画素の開口領域を増やさなくても、発光素子に供給する電流量を増加させればこれに応じて自発光するが故に、画像表示に必要な明るさを得ることができる。従って、本実施の形態のように、配線の占める領域を節約して各種の T F T を画素部 2 に形成するスペースを確保してもよいし、各 E L 素子 5 0 の大きさを小さくすることにより各種の T F T を画素部 2 に形成するスペースを確保してもよい。

【0086】次に、本実施の形態の表示パネル 2 0 0 の動作について図 7 及び図 1 0 を参照して説明する。

【0087】走査線駆動回路 2 2 から前段の走査線 1 2 b に走査信号 V s c a n が供給されると、これが当段のリセット走査信号 V r s c a n として、当段のリセット用 T F T 1 3 0 のゲート 1 3 1 に入力される。これと並行して、走査線駆動回路 2 2 から当段の走査線 1 2 a にリセット信号 V r s i g が供給されて、当段の駆動用 T F T 1 1 0 のゲート電圧 V g は、リセット信号 V r s i g の電位とされる（図 2 (A) 参照）。このとき、リセット信号 V r s i g は、走査信号 V s c a n のオフ電位と同一でもかまわない。続いて、走査線駆動回路 2 2 から当段の走査線 1 2 a に走査信号 V s c a n が供給されると、これが当段のスイッチング用 T F T 1 4 0 のゲート 1 4 1 に入力される。これと並行して、データ線駆動回路 2 1 から当段のデータ線 1 1 a に入力信号 V s i g（データ信号）が供給されて、スイッチング用 T F T 1 4 0 及び補償用 T F T 1 2 0 を介して、この電圧 V s i g が補償用 T F T 1 2 0 のしきい値電圧 V t h 2 分だけ降圧されて、当段の駆動用 T F T 1 1 0 のゲート 1 1 1 に、ゲート電圧 V g として供給される（図 2 (A) 参照）。この結果、この降圧されたゲート電圧 V g に応じて、駆動用 T F T 1 1 0 のソース 1 1 2 及びドレイン 1 1 3 間のコンダクタンスが制御されて、正電源 + V 及び負電源 - V の間で、E L 素子 5 0 を流れる駆動電流 I d が制御される。

【0088】従って、各画素部 2 に設けられた駆動用 T F T 1 1 0 におけるしきい値電圧 V t h 1 のばらつきが補償用 T F T 1 2 0 のしきい値 V t h 2 により補償されて、複数の画素部 2 間における駆動電流 I d に対するデータ信号 V s i g のしきい値のばらつきが殆どなくなり、表示パネル 2 0 0 の画面表示領域全体にわたって均一の明るさでむらのない画像表示が可能とされる。また、補償用 T F T 1 2 0 による降圧作用により比較的小さい電圧の

データ信号 V s i g を用いて駆動電流 I d を制御することも可能とされる。

【0089】以上の実施の形態では、リセット用 T F T 1 3 0 によりゲート電圧 V g を入力信号 V s i g の供給前にリセットしているが、例えば、静止画を表示する期間には、同じ入力信号 V s i g により複数フレームに亘って駆動電流 I d の制御を行えばよいので、係るリセット動作を各走査毎に行う必要はない。また、このように電気的なリセット信号 V r s i g の代わりに光照射によりゲート電圧 V g をリセットする（所定のリセット電圧にする）ように構成してもよい。更にまた、リセット用 T F T 1 3 0 の代わりにスイッチング用 T F T 1 4 0 や補償用 T F T 1 2 0 を介してリセット信号 V r s i g を供給するように構成してもよい。他方、アクティブマトリクス駆動の如くスイッチングを行わない用途であれば、スイッチング用 T F T 1 4 0 やスイッチング動作が不要なことは言うまでもない。

【0090】（電子機器）次に、以上詳細に説明した表示パネル 2 0 0 を備えた電子機器の実施の形態について図 1 1 から図 1 3 を参照して説明する。

【0091】先ず図 1 1 に、このように表示パネル 2 0 0 を備えた電子機器の概略構成を示す。

【0092】図 1 1 において、電子機器は、表示情報出力源 1 0 0 0、表示情報処理回路 1 0 0 2、駆動回路 1 0 0 4、表示パネル 1 0 0 6、クロック発生回路 1 0 0 8 並びに電源回路 1 0 1 0 を備えて構成されている。

【0093】前述した実施の形態における表示パネル 2 0 0 は、本実施の形態における表示パネル 1 0 0 6 及び駆動回路 1 0 0 4 に相当する。従って、表示パネル 1 0 0 6 を構成する T F T アレイ基板の上に、駆動回路 1 0 0 4 を搭載してもよく、更に表示情報処理回路 1 0 0 2 等を搭載してもよい。或いは、表示パネル 1 0 0 6 を搭載する T F T アレイ基板に対し駆動回路 1 0 0 4 を外付けして構成してもよい。

【0094】表示情報出力源 1 0 0 0 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路 1 0 0 8 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1 0 0 2 に出力する。表示情報処理回路 1 0 0 2 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 C L K と共に駆動回路 1 0 0 4 に出力する。駆動回路 1 0 0 4 は、表示パネル 2 0 0 を駆動する。電源回路 1 0 1 0 は、上述の各回路に所定電源を供給する。

【0095】次に図 1 2 から図 1 3 に、このように構成された電子機器の具体例を夫々示す。

【0096】図12において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（PC）1200は、上述した表示パネル200がトップカバーケース1206内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0097】また図13に示すように、駆動回路1004や表示情報処理回路1002を搭載しない表示パネル1304の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP（Tape Carrier Package）1320に、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

【0098】以上図12から図13を参照して説明した電子機器の他にも、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（EWS）、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図11に示した電子機器の例として挙げられる。

【0099】以上説明したように、本実施の形態によれば、表示パネルの全面に渡って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な各種の電子機器を実現できる。

【0100】

【発明の効果】本発明のトランジスタ回路によれば、補償用トランジスタのしきい値電圧の分だけ入力信号の電圧に対してゲート電圧を降圧もしくは昇圧できるので、低い入力信号の電圧により駆動用トランジスタにおけるコンダクタンス制御を行うことができる。更に、補償用トランジスタと駆動用トランジスタとのしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値電圧を零に近付けることも可能となる。更にまた、複数のしきい値特性の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、複数のしきい値電圧の異なる複数の駆動用トランジスタ、即ち設計基準値から大きくばらついたしきい値電圧を夫々持つ複数の駆動用トランジスタを用いたとしても、複数のトランジスタ回路におけるしきい値電圧のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることも可能となる。

【0101】本発明の表示パネルによれば、明るさむらが低減された画像表示を低電圧の入力信号を用いて実現できる。

【0102】また、本発明の電子機器によれば、高品位の画像表示が可能な、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

【図面の簡単な説明】

【図1】 トランジスタ回路の一実施の形態における回路図である。

【図2】 図1のトランジスタ回路における各種信号のタイミングチャート（図2（A））、及び図1のトランジスタ回路の変形例における各種信号のタイミングチャート（図2（B））である。

【図3】 駆動用TFTを備えた比較例におけるしきい値特性を示す特性図（図3（A））、及び補償用TFTと駆動用TFTとを備えた本実施の形態におけるしきい値特性を示す特性図（図3（B））である。

【図4】 しきい値のばらつき ΔV_{th} に対する駆動電流 I_d の変化を各種の場合について示す特性図である。

【図5】 本実施の形態においてリセット信号 V_{rsig} を5Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート（図5（A））、及びリセット信号 V_{rsig} を0Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート（図5（B））である。

【図6】 トランジスタ回路の他の実施の形態における回路図である。

【図7】 表示パネルの実施の形態の全体構成を示す平面図である。

【図8】 図7の表示パネルの一面素部の平面図である。

【図9】 図8のA-A'断面図（図9（A））、B-B'断面図（図9（B））及びC-C'断面図（図9（C））である。

【図10】 図7の表示パネルにおける相隣接する4つの画素部の回路図である。

【図11】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図12】 電子機器の一例としてのパーソナルコンピュータを示す正面図である。

【図13】 電子機器の他の例としてのTCPを用いた液晶装置を示す斜視図である。

【符号の説明】

1…TFTアレイ基板

2…画素部

11…データ線

12…走査線

13…共通給電線

21…データ線駆動回路

22…走査線駆動回路

23…検査回路

50…EL素子

100…トランジスタ回路

110…駆動用TFT

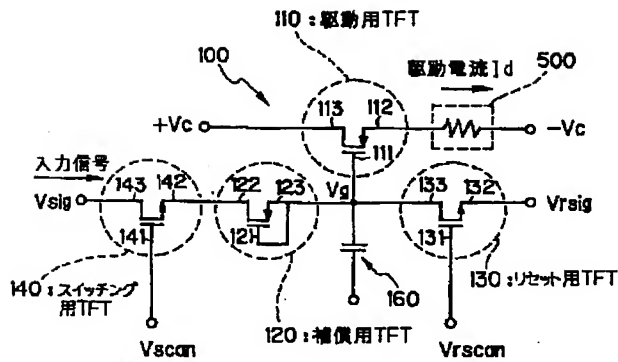
120…補償用TFT

130…リセット用TFT

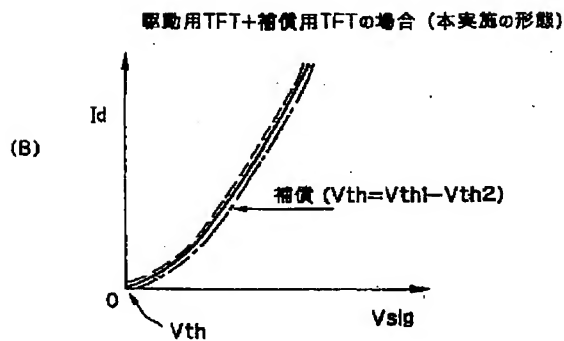
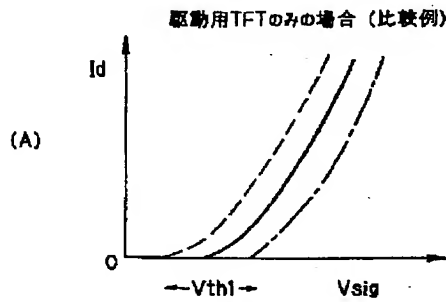
140…スイッチング用TFT

160…保持容量

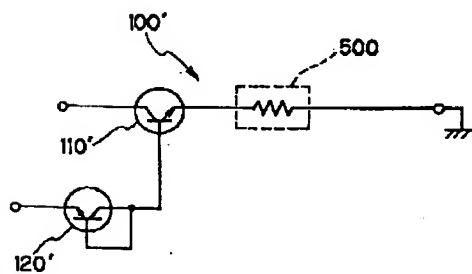
【図 1】



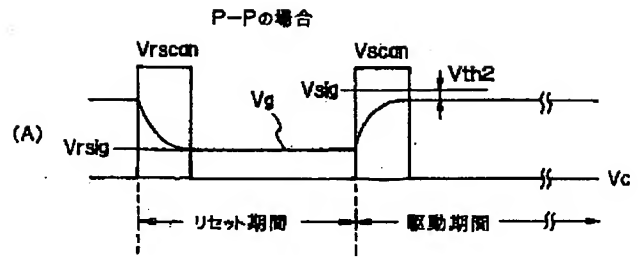
【図 3】



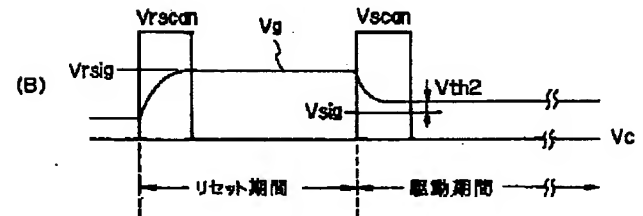
【図 6】



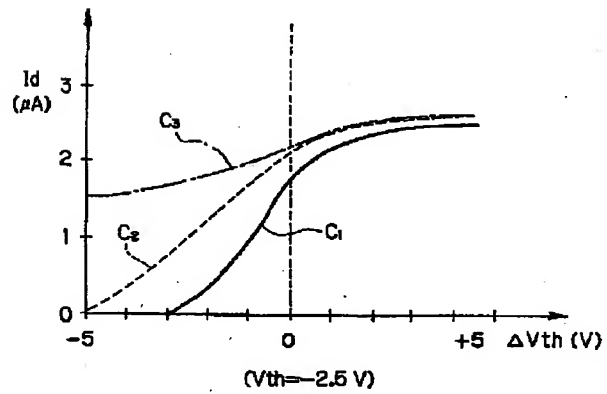
【図 2】



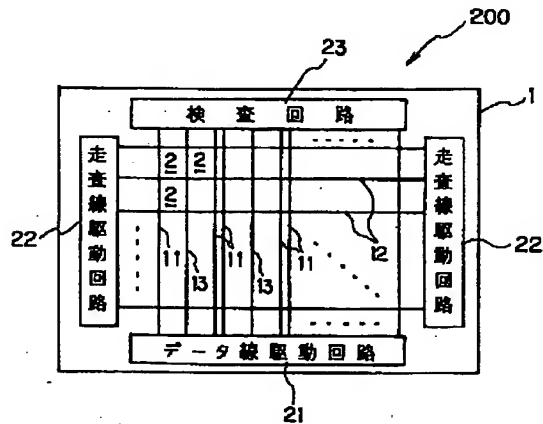
N-N の場合



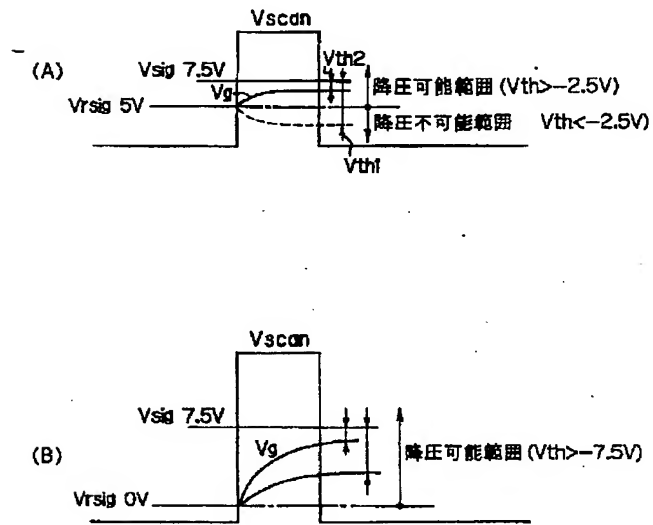
【図 4】



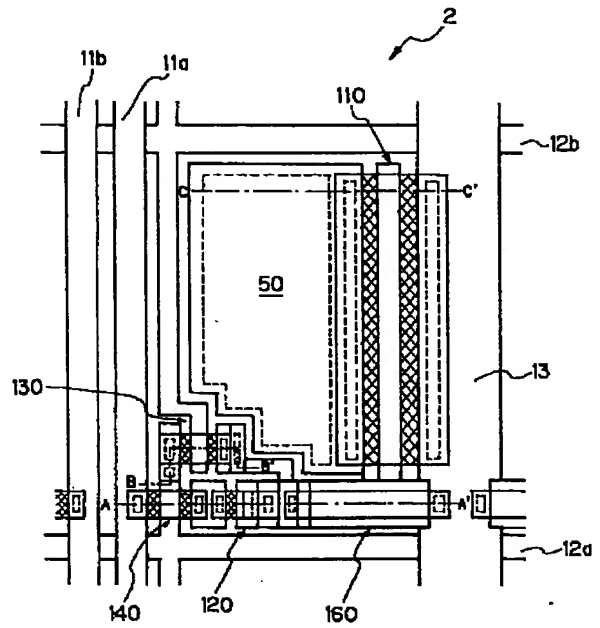
【図 7】



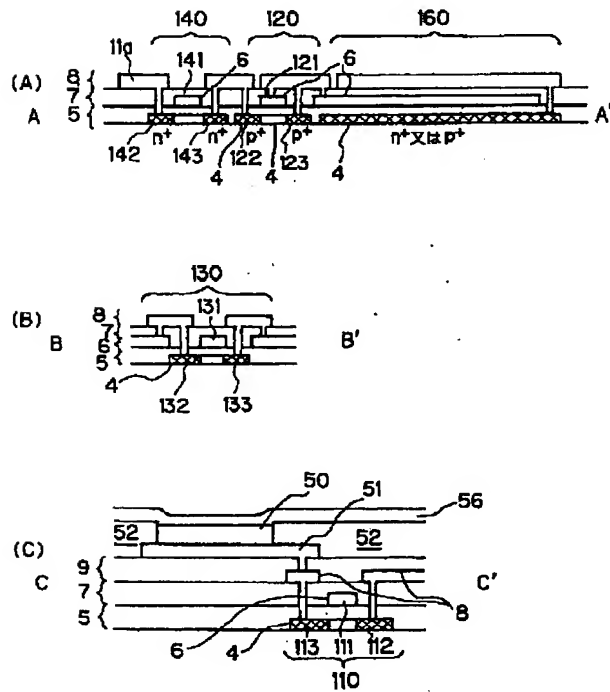
【図 5】



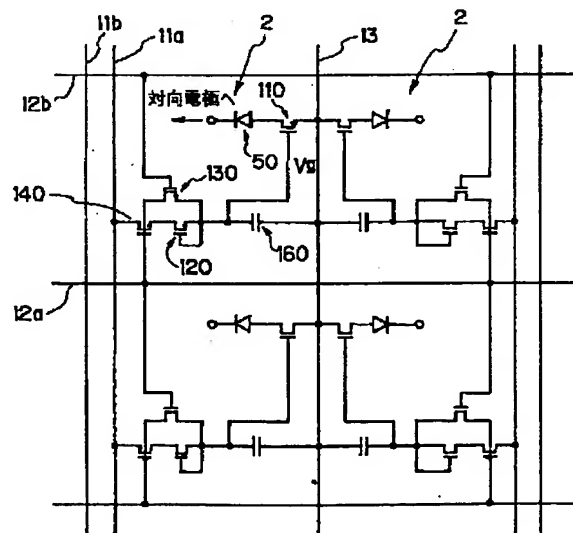
【図 8】



【図 9】

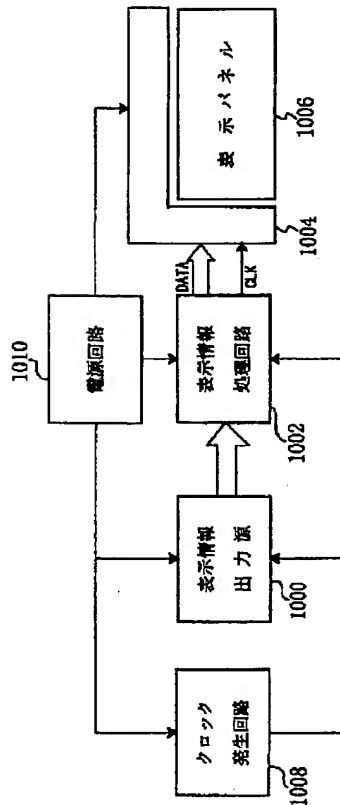


【図 10】



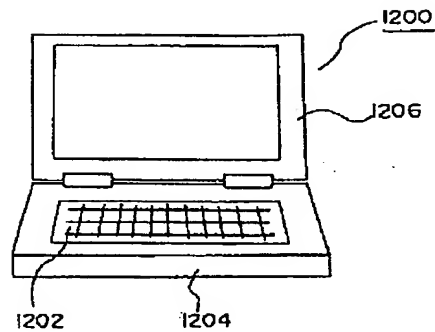
【図11】

電子機器の概要構成を示すブロック図



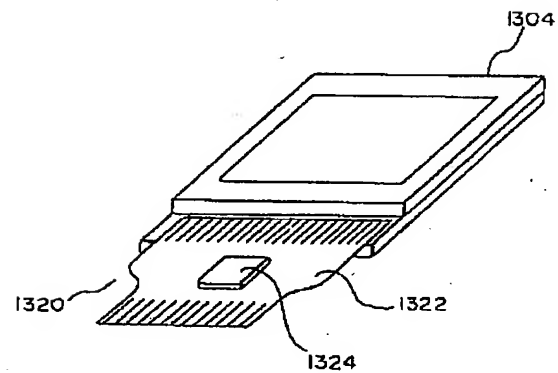
【図12】

パーソナルコンピュータの外観を示す正面図



【図13】

TCPを用いた表示装置の外観を示す斜視図



フロントページの続き

(72)発明者 マイケル クイン
イギリス国 ケンブリッジ市 トラムピン
ゲトン ストリート